

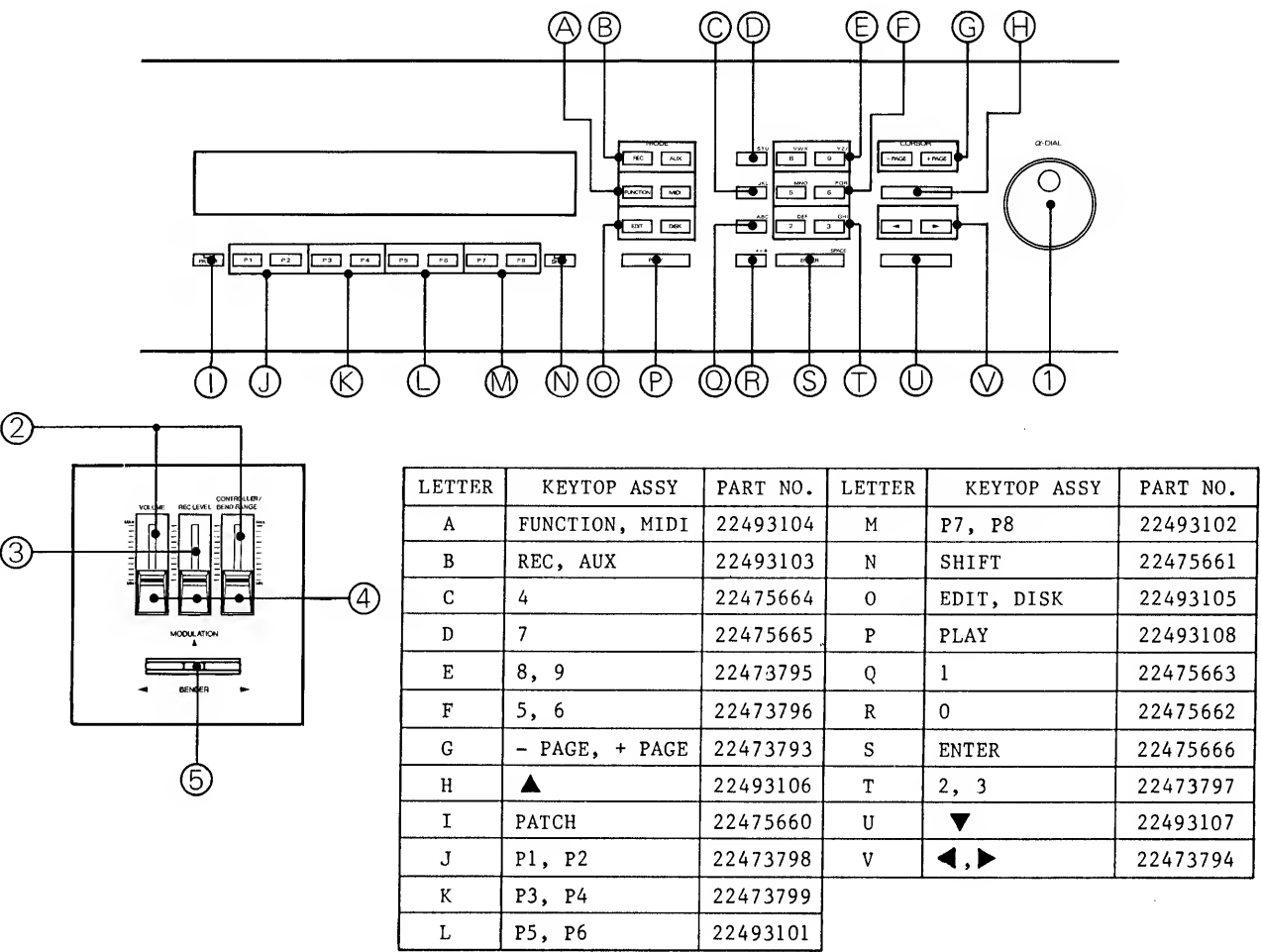
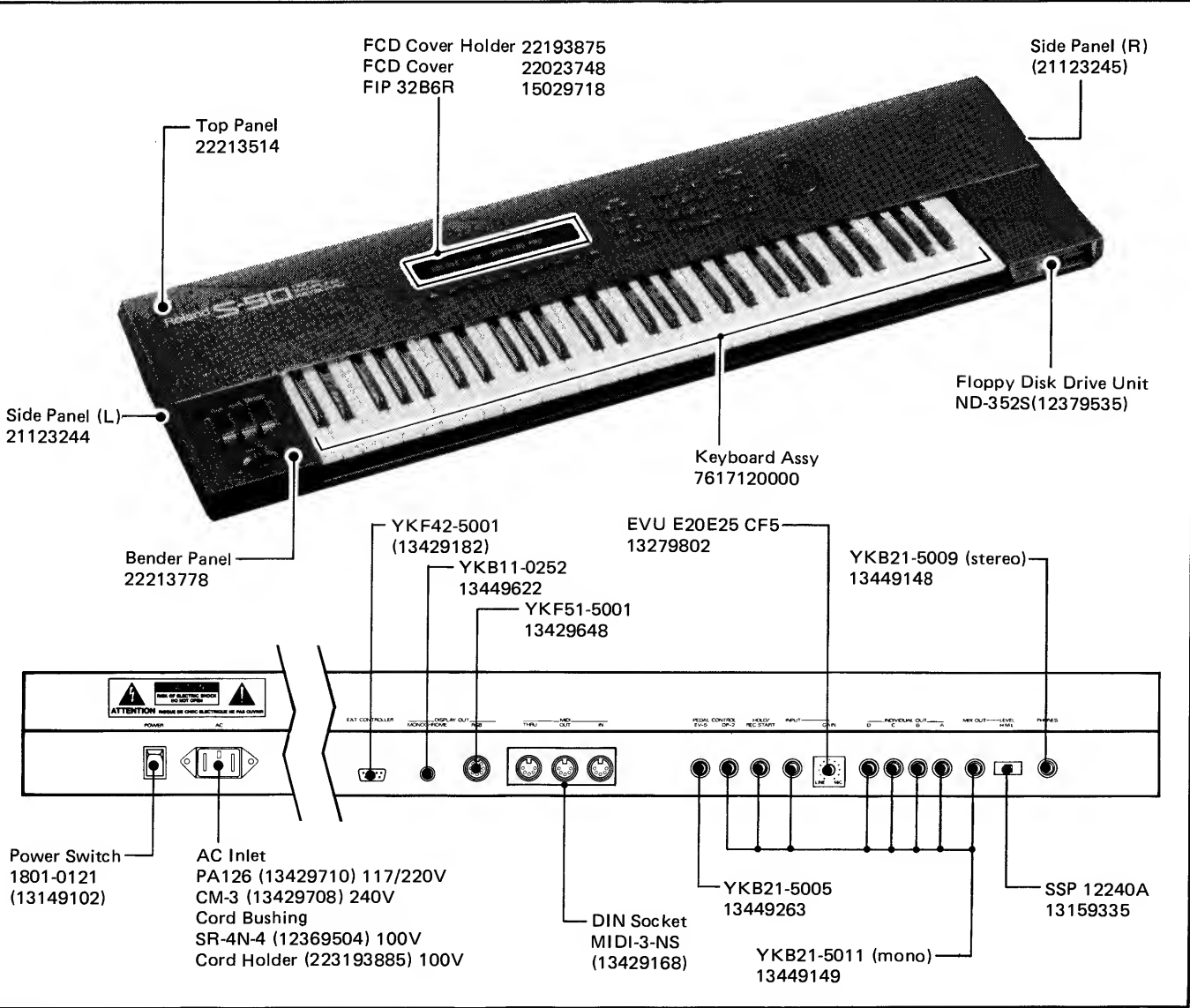
S-50

SERVICE NOTES

First Edition

SPECIFICATIONS

Keyboard	: 61 Key (C to C)	HOLD/REC START	: OFF - 0V ; ON - 5V
Memory Capacity	: a. Patch x8 b. Tones x16 (Bank A - 8 Tones, Bank B - 8 Tones)	CONTROL DP-2	: OFF - 0V ; ON - 5V
Memory System	: 3.5 inch 2DD (double sided,double density,double track) Micro Floppy Disk	PEDAL EV-5	: 0V - 5V
AUDIO IN	: Level -59dBm (MIC) to +4dBm (LINE) Impedance 1.8K Ω (MIC) to 150K Ω (LINE)	DISPLAY OUT	: RGB TTL level Horizontal Freq. 15.75KHz MONOCHROME COMPOSITE 1Vp-p
OUTPUT	: MIX OUT H = +10dBm max/3.3K Ω M = -4dBm max/10K Ω L = -20dBm max/4.6K Ω INDIVIDUAL OUT A = +1.5dBm max/0.8K Ω B = +2dBm max / 1K Ω C = +3dBm max/1.6K Ω D = +6dBm max/3.3K Ω PHONES 20mW/8 Ω	EXT CONTROLLER	: TTL level
		Dimensions	: 1,106 (W) x 328 (D) x 93 (H) mm 43-7/16 x 12-15/16 x 3-11/16 in.
		Weight	: 13 kg/28 lb. 11 oz.
		Power Consumption	: 36W
		Accessories	: Connection Cord x 1 3.5 inch Floppy Disk x 5 Floppy Disk Case Owner's manual Instructions on CRT Guide Book "MIDI"
		OPTIONS	: Pedal Switch : DP-2 Digitizer : DT-100 Expression Pedal EV-5 Carrying Case RGB Connection Cable : RGB 25I For 9 pin sub RGB Connection Cable : RGB 25N For 8 pin square



NO.	PART NAME	DESCRIPTION	PART NO.
1	α -Dial Knob		22485102
	Rotary Encoder	EC 16B 40B	13279792
2	Slide Pot.	EWA NFEX10 B14	13339467
3	Slide Pot.	EWA NFEX10 B54	13339468
4	Knob		22485122
5	Bender Unit		23273800

TABLE OF CONTENTS

	Page		Page
CAUTIONS	2	ADJUSTMENT	9
PARTS LIST	2,3	KEYBOARD	9
DISASSEMBLY	3	CPU BOARD	10-13
KEYBOARD PARTS	3	JACK BOARD	14,15
BLOCK DIAGRAM	4	VOLUME BOARD	15
CIRCUIT DESCRIPTION	5-7	PANEL BOARD	16,17
CHANGE INFORMATION	8,9	POWER SUPPLY BOARD	18,19
SOFTWARE VERSION IDENTIFICATION	9	RGB CABLES	20
		RGB SIGNALS TIMING DIAGRAM	20
		IC DATA	21,22
DISK LOAD		MIDI	23,24
ERRORMESSAGES	9		

CAUTION

Terminal lugs (battery terminal) on the bottom of CPU and Jack board serve as ground paths of magnetic shield circuit preventing EMI. Restore them in place if removed.
Please check for change information on page 8 .
There are some important design changes.

注意事項

- CPUボード及びジャックボードの裏面に取り付けてある端子は、EMI 対策用です。(電磁シールドのアース) 取り外した場合は必ず元通りに取り付け直して下さい。
- 重要な変更についての案内を 8 頁に掲載していますので、必ず参照して下さい。

PARTS LIST

PANEL, CASING

22213514	Top Panel	
22213778	Bender Panel	
22813554	Chassis	
21123244	Side Panel	(LEFT)
21123245	Side Panel	(RIGHT)
22215771	DD Panel	

KNOB, BUTTON

22485122	Knob	(VOLUME, REC LEVEL, CONTROLLER/BEND RANGE)
22485102	Knob	(αdial)
22475660	Button 247-660	(PATCH)
22475661	Button 247-661	(SHIFT)
22475662	Button 247-662	(0)
22475663	Button 247-663	(1)
22475664	Button 247-664	(4)
22475665	Button 247-665	(7)
22475666	Button 247-666	(ENTER)
22473793	Button 247-793	(-PAGE +PAGE)
22473794	Button 247-794	(◀ ▶)
22473795	Button 247-795	(8, 9)
22473796	Button 247-796	(5, 6)
22473797	Button 247-797	(2, 3)
22473798	Button 247-798	(P1, P2)
22473799	Button 247-799	(P3, P4)
22493101	Button 249-101	(P5, P6)
22493102	Button 249-102	(P7, P8)
22493103	Button 249-103	(REC, AUX)
22493104	Button 249-104	(FUNCTION, MIDI)
22493105	Button 249-105	(EDIT, DISK)
22493106	Button 249-106	(▲)
22493107	Button 249-107	(▼)
22493108	Button 249-108	(PLAY)

SWITCH

13149102	1801-0121	(Power)
13159335	SSP 12240A	(Slide)
13169633	SKH HAD 039A	(Tact)
13279792	EC 16B 40B	(Rotary Encoder, αdial)

JACK, SOCKET

13429710	AC Inlet PA-126	(117/220V)
13429708	AC Inlet CM-3	(240V)
13449148	YKB21-5009	(Stereo) [Headphone]
13449149	YKB21-5011	(Mono) [Output, Pedal]
13449263	YKB21-5005	(Stereo with SW.) [Pedal Control (EV-5)]
13429168	MIDI3-NS	(5P DIN, Triplet) [MIDI IN, OUT, THRU]
13429167J0	DBLC-J25SAF-22L8	(25P, D-Sub)
13429648	YKF51-5001	(8P DIN for RGB OUT)
13449622	YKB11-0252	(Pin Jack for Monochrome OUT)
13429182	YKF42-5001	(9P D-Sub for AUX Input Connector)

POWER TRANSFORMER

22453455U0	245-455U0	(100/220/240V)
22453465U0	245-465U0	(100/117/220/240V)

COIL

12449251	244-251	(for FIP driver)
12449244	SC-02-15E	(Line Filter)

RESONATOR

12389744	HC 49/U	8MHz	(Crystal)
12389758	HC 49/U	14.3496MHz	(Crystal)
12389759	HC 49/U	24MHz	(Crystal)
12389760	HC 49/U	26.880MHz	(Crystal)
12389748	CSB 600P	600KHz	(Ceralock)

PCB ASSY

7617110000	CPU board		(pcb 22923344)
7617109000	Jack board		(pcb 22923343)
7617113000	Power Supply board		(pcb 22923340)
7617108000	Volume board		(pcb 22923341)
7617115000	Panel board		(pcb 22923342)
7617112200	Filter board	100/117V	(pcb 22923369)
7617112400	Filter board	220V	(pcb 22923369)
7617112500	Filter board	240V	(pcb 22923369)

POTENTIOMETER

13339467	EWA-NFEX10 B14	(Slide)
13339468	EWA-NFEX10 B54	(Slide)
13279802	EVU-E20E25 CF5	(Rotary, Input Gain)
13299193	EVN-D4AA00 B54	(Trimmer, CPU board)
13299201	EVN-D4AA00 B53	(Trimmer, Power Supply board)

IC

15179246	i8095-90	(CPU)
15219173	TMS 3556NL	(Video Display Processor)
15219171	EHK-MD6209	(D/A Converter)
15179343	HM6116ASP-12	(C-MOS S-RAM)
15179364	TMS4464-15NL	(64 x 4 D-RAM)
15179775	EP-ROM 27128	
15179374B0	M5M5256P-12	(32 x 8 S-RAM)
15179365	M5M4256L-12	(256k D-RAM)
15229830	MB63H149PF-G-BND	(Gate Array)
15229840	RF5C36	(Gate Array)
15229846	μPD65006CW-071	(Gate Array)
15219160	WD1770-00	(Floppy Disk Controller)
	or 15219158 WD1772-02	
15169514B0	M74HC04P	(C-MOS Hex Inverter)
15159113H0	HD14051BP	(8-Channel Analog Multiplexer)
15169544N0	μPD74HC573C	(Octal Noninverting D-Type Latch)
15169515B0	M74HC00P	(2-Input NAND)
15169548B0	M74HC14P	(Hex Schmitt Trigger Inverter)
15169549N0	μPD74HC32C	(2-Input OR)
15169550B0	M74HC138P	(1-of-8 Decoder)
15169552B0	M74HC245P	(Octal 3-State Noninverting Bus Transceiver)
15169556N0	μPD74HC574C	(Octal 3-State Noninverting D-Flip-Flop)
15169555B0	M74HC393P	(Dual 4-State Binary Ripple Counter)
15169513B0	M74HC74P	(Dual D-Type Flip-Flop)
15169340B0	M74LS374	(Octal 3-State Noninverting D-Flip-Flop)
15179240	μPD7538 A-013	(CPU on Panel board)
15219159	μPD6300C	(FIP Latch Driver)
15229836	NJU7302	(Sample & Hold)
15189150	M5220L	(OP Amp)
15189193	M5238P	(OP Amp)
15199109N0	μPC78L05	(+5V Regulator)
15189158	μPC4082C	(OP Amp)
15199118N0	μPC7815H	(+15V Regulator)
15199102N0	μPC7915	(-15V Regulator)
15199106NH	μPC7805H	(+5V Regulator)
15189186	μPC4570C	(OP Amp)
15189111P0	IR-9311	(Comparator)
15219174	NJU201AD	(Analog SW.)

TRANSISTOR		
15119108	2SA798C	
15129602	2SD667C	
15119602	2SB647C	
15119601	2SB605L	
15129606	2SD844Y	
15129615	2SD1293M	
15119106	2SA733Q	
15129150	DTC114ZF	(Digital Transistor)
15129107	2SC945Q	
15129136	2SC2878	

DIODE, LED, PHOTO COUPLER		
15019125	1SS-133	
15019208	1SR35-200A	
15229706S0	PC-910	(Photo Coupler)
15029222	SLR 55VC 3F	(LED)
15019243	1B4B1	(Rectifier)
15019274	D5FB-20	(Rectifier)
15019603	05Z 9.1Z	(Zener)
15019143	1S-116	
15029718	FIP32B6R	(Fluorescent Indicator Panel)

RESISTOR		
13919147	RMLS 4-103J	(10k x 4)
13919310	RMLS 8-103J	(10k x 8)
13919312	RMLS 8-153J	(15k x 8)
13919313	RMLS 8-104J	(100k x 8)
1391118R0	RKM 10L 104F	(Ladder Network)
13919336	RMLS 8-224J	(220k x 8)
13919168	RMLS 4-224J	(220k x 4)
13919322	RMLS 4-102J	(1k x 4)

CAPACITOR		
13529104	DE7150F472MVA1	(Line Capacitor)
13529108	RPE132F104Z50V	(Ceramic 0.1μ)
13529115	EXFP8101MW	(100P x 8)
13529113	B7ZC0724-32N	(22P x 6)
13529118	B5RC0139	(22P x 4)

FUSE, FUSEHOLDER		
12559409	SD6 630mA	(100/117V)
12559510	CEE-400mA \overline{T}	(220/240V)
12199552	UF0005-02	(Fuse Holder)

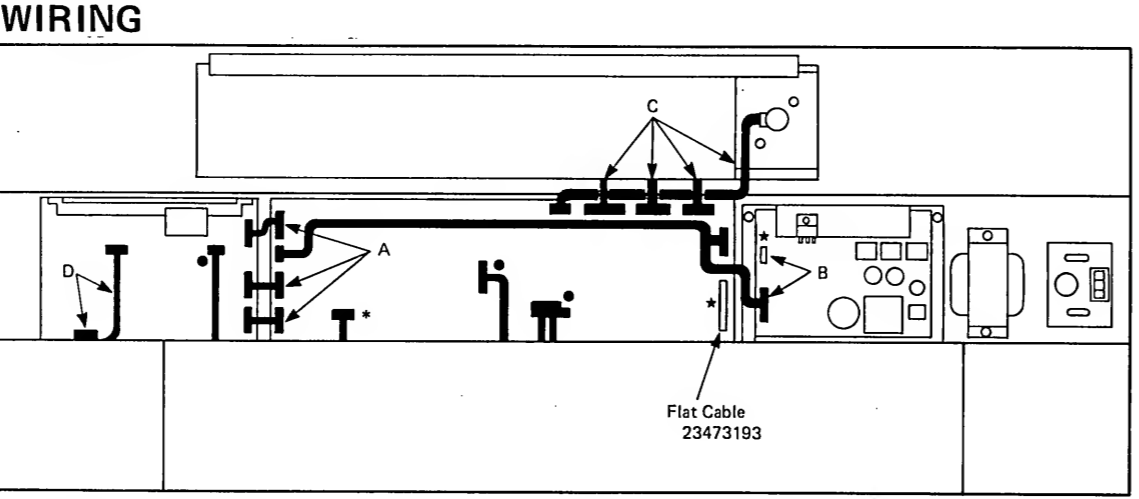
HOLDER		
22193886	Jack	
22195889	MIDI Socket	
22193875	FCD Cover	(FIP Cover)
22193874	adial	

AC CORD, CORD SET		
13439801	P-VFF 2.5m	(100V)
12369504	Cord Bush SR-4N-4	(100V)
22193885	Cord Holder	(100V)
13439812F0	UC704-J01	(117V)
13439813F0	EC210-J06	(220V)
13439814F0	SC415-J06	(240V 3P, Australian)
13439846	BH-301-J01	(240V 3P, England)

COVER		
22023748	FCD Cover	(FIP Cover)
22023315	Connector Cover	(25pin D-sub Connector)
22253126	Bender Shield Cover	
22243150	Slide Cover	
22245142	Mask	(for adial)
22023318	Jack Shield Cover	

CONNECTOR		
13439327	5267-02A	
13439260	5267-03A	
13439261	5267-04A	
13439263	5267-06A	
13439264	5267-07A	
13439265	5267-08A	
13439269	5267-09A	
13439266	5267-10A	
13439278	5267-11A	
13439306	5566-06A	(Power Supply Board)

WIRING		
23493479	Wiring A	
23493480	Wiring B	
23493481	Wiring C	
23493499	Wiring D	
23473193	Flat Cable 347-193	(CPU Board - Disk Drive Unit)



A : Wiring A 23493479	★ : to Floppy Disk Drive Unit
B : Wiring B 23493480	★ : to Bender Unit
C : Wiring C 23493481	● : to Keyboard Assy
D : Wiring D 23493499	

FLOPPY DISK SYSTEM		
22373539	SYSTEM DISK (Set of 5 pcs)	
12379535	Floppy Disk Drive Unit FDD4261 ACK	
22163542	FDD Spacer	
22263382	FDD Cushion	
22013196	Floppy Disk Case	

KEYBOARD ASSY		
7617120000	Keyboard Assy	

LC FILTER		
22445281	TFB-3 (FC=12.5kHz)	
22445282	TFB-3 (FC=13.5kHz)	

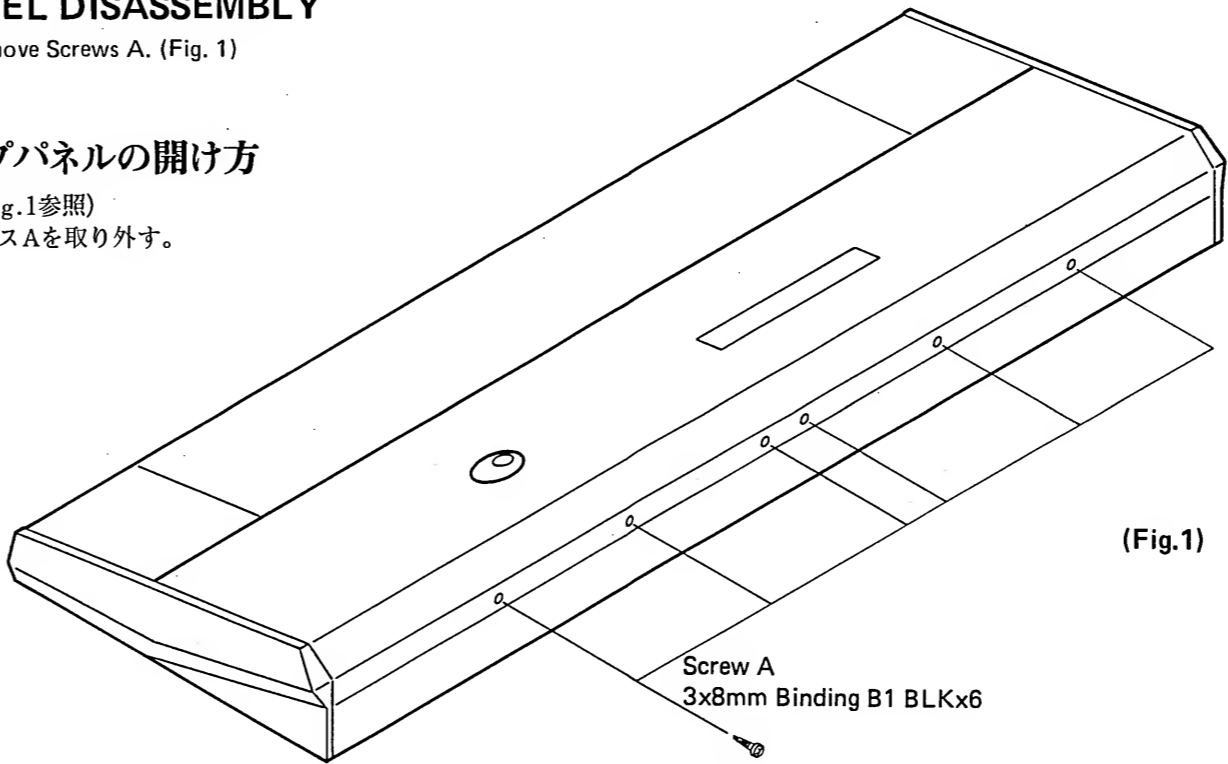
OTHERS		
12199569	Locking Card Spacer KGLS-12R (Black)	
12359105	Rubber Foot	
23273800	Bender Unit PB-17	
12439217	Relay NL6X-DC5V	
12449266	Ferrite Beads Inductor BL01RM1-A62 (EMI Filter)	
13529140	EMI Filter DSS310-55B271M	
13429523	IC Socket SMO-28-S6T	
No Code	Scale (Input Gain)	
22123552	Angle	
22123563	Shield Angle	
12469139	Heat Sink 16PC16	
22463149	Heat Sink 246-149 (for 2SD844)	

PANEL DISASSEMBLY

1. Remove Screws A, (Fig. 1)

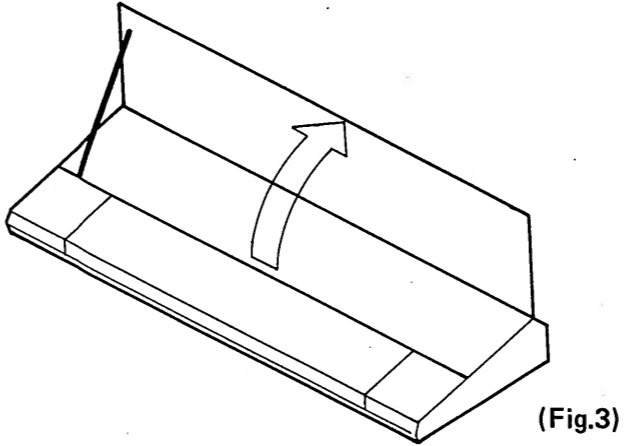
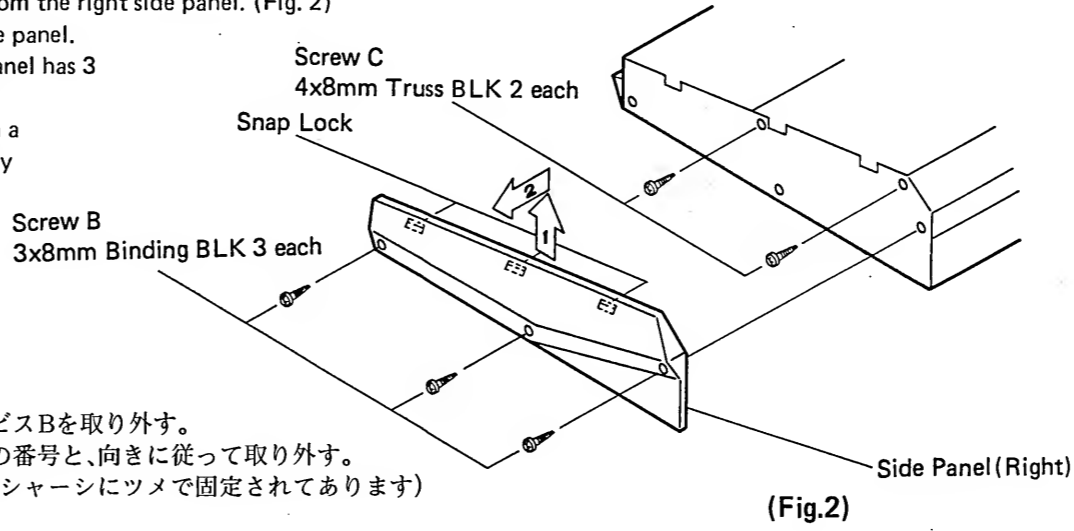
トップパネルの開け方

1. (Fig.1参照)
●ビスAを取り外す。



2. ● Remove Screws B from the right side panel, (Fig. 2)

- Grasp the top of side panel.
- Note that the side panel has 3 "snap locks" inside.
- Pull the side panel in a direction as shown by arrows 1 and 2 in Fig. 2.
- Remove Screws C.
- Repeat for the left side panel.



2. (Fig.2参照)

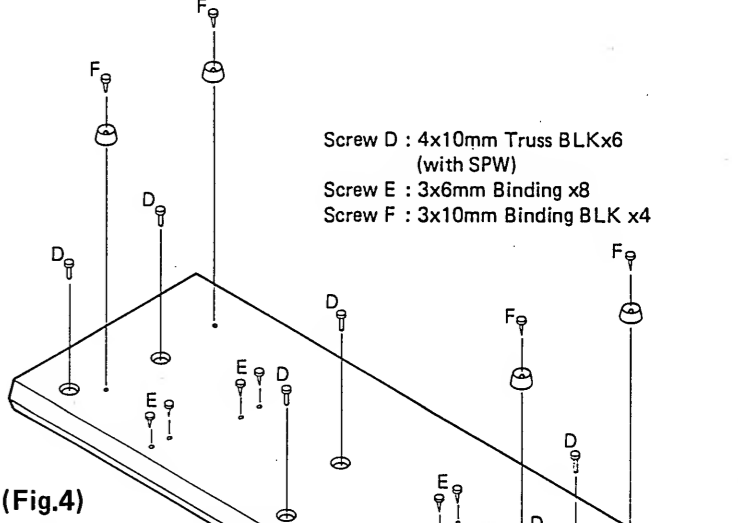
- 右側板をとめているビスBを取り外す。
- 右側板を図中の矢印の番号と、向きに従って取り外す。
- (注：側板上部は本体シャーシにツメで固定されています)
- ビスCを取り外す。
- 左側も同様に行なう。

KEYBOARD DISASSEMBLY

1. Open the top panel and then remove the CPU board.
2. Remove screws D and E in Fig. 4.

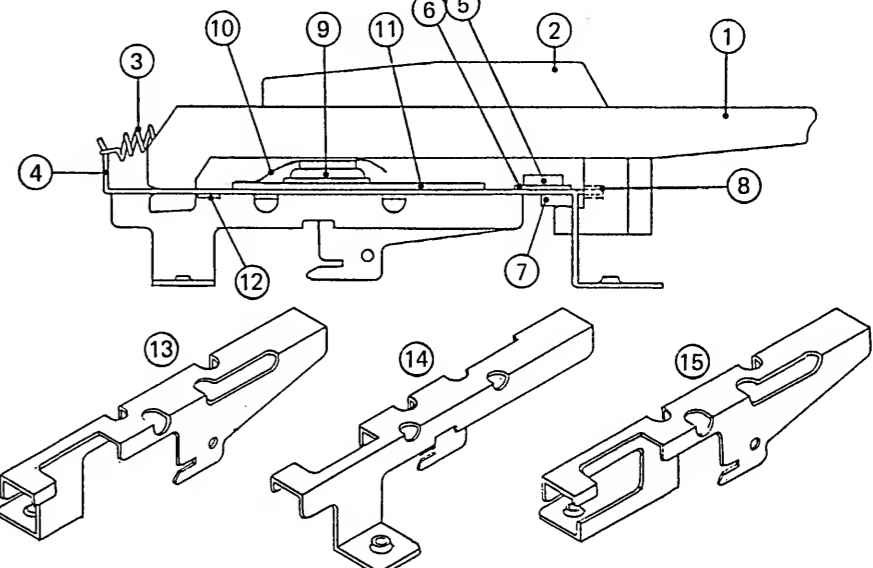
鍵盤の取り外し方

1. トップパネルを開け、CPUボードを取り外す。
2. Fig.4のD及びEのビスを取り外す。



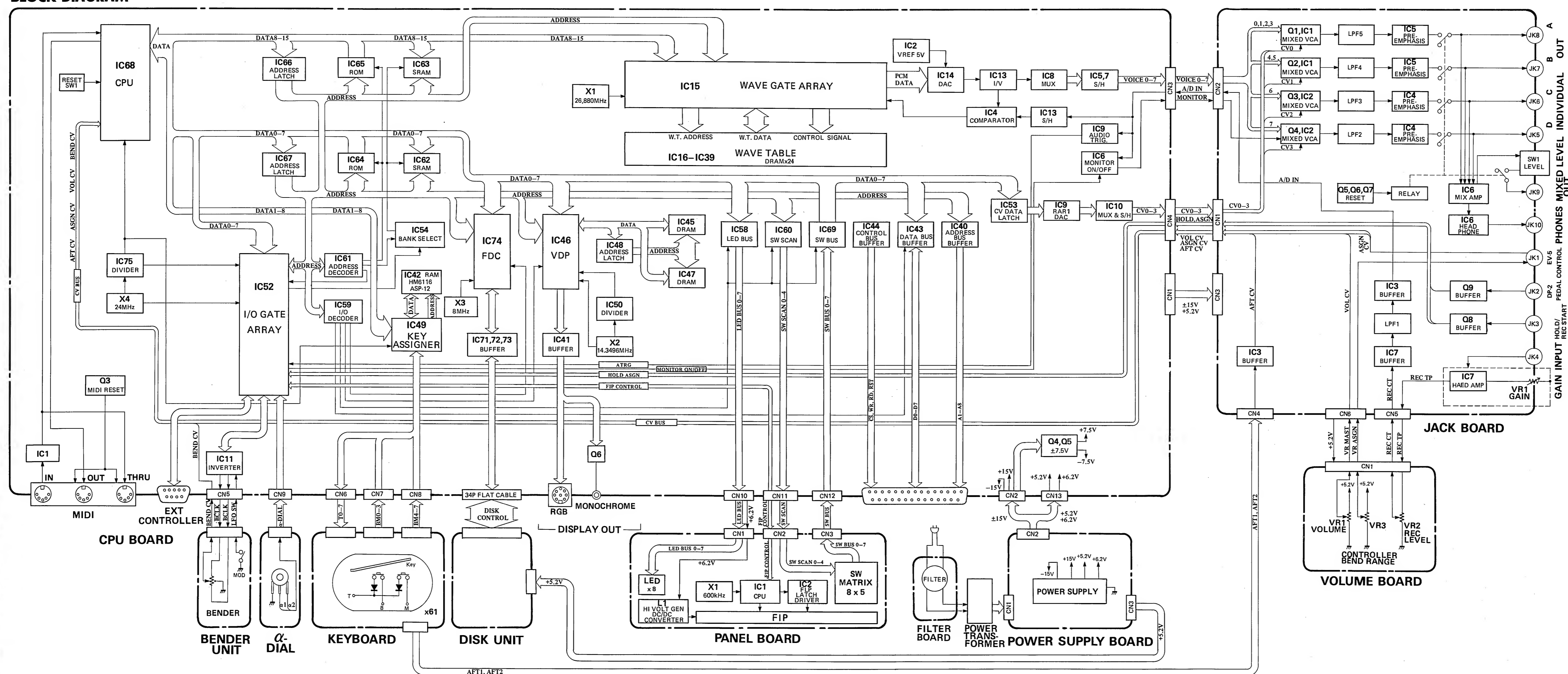
KEYBOARD PARTS

SK-361-OW		
①	22575216	NATURAL KEY C,F 257-216
	22575214	NATURAL KEY D 257-214
	22575217	NATURAL KEY E,B 257-217
	22575215	NATURAL KEY G 257-215
	22575213	NATURAL KEY A 257-213
	22575218	NATURAL KEY C'F' 257-218
②	22575212	SHARP KEY 257-212
③	22175176	KEY SPRING 217-176 (NATURAL KEY)
	22175177	KEY SPRING 217-177 (SHARP KEY)
④	22575212	CHASSIS
⑤	22265451	FELT 226-451
⑥	23165663	AFTER TOUCH ASSY
⑦	22265403	FELT 226-403
⑧	22155716	GUIDE BUSHING
	22185218	KEY SWITCH 12P 218-218
⑨	22185219	KEY SWITCH 13P 218-219
	22245144	SWITCH COVER 29P 224-144
⑩	22245145	SWITCH COVER 32P 224-145
	7616122000	KEY SWITCH ASSY 32P LOWER (pcb 22925249)
⑪	7616123000	KEY SWITCH ASSY 29P UPPER (pcb 22925248)
	22135415	KEY STOPPER A 213-415
⑫	22135416	KEY STOPPER B 213-416
	22135417	KEY STOPPER C 213-417
⑬	22035128	STAND A 203-128
⑭	22035129	STAND B 203-129
⑮	22035132	STAND C 203-132



1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70

BLOCK DIAGRAM



CIRCUIT DESCRIPTIONS

General

The S-50 is a 16-voice sampling keyboard consisting of the following major sections.

Control Section

CPU 8095 (IC68) having a 16 bit data bus. Controls the following function and the chips.

- Transfer of MIDI messages
- Wave Gate Array RF5C36
- Keyboard Gate Array MB63H149
- Keyboard Assigner Gate Array MB63H149
- Floppy Disk Controller (FDC) WD1770
- Video Display Processor (VDP) TMS3556
- FIP CPU μ PD7538A

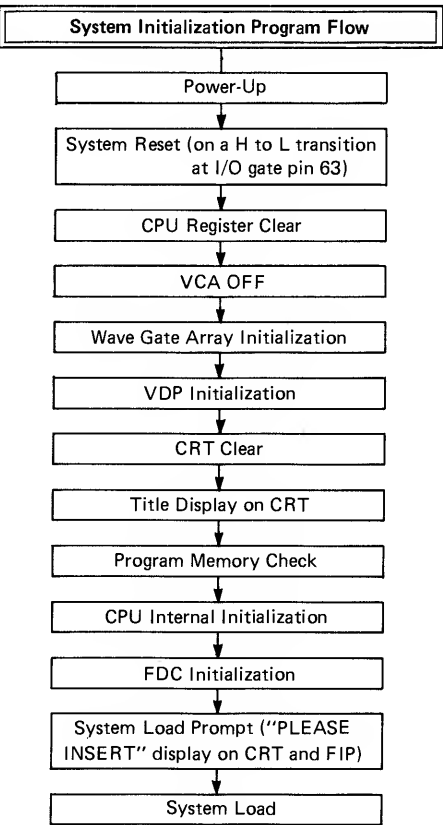
Waveform Storage Section

Manages storage of the sound in the 24 256k-bit DRAMs through wave gate array RF5C36.

System Operations

Software

The internal ROM program contains the initial setup and the basic subroutines. Figure 1 shows the program flow diagram. The system program is to be loaded from the disk.



(Fig.1)

回路解説

概要

S-50は、16ボイスのデジタル・サンプリング・キーボードで主な構成は次の通りです。

制御部

メインCPUには8095が使用されており、下記のもの

- MIDIメッセージの送受信
- ウェーブ・ゲートアレイRF5C36
- キーボード・アサイナ・ゲートアレイMB63H149
- FDC〔フロッピー・ディスク・コントローラ〕WD1770
- VDP〔ビデオ・ディスプレイ・プロセッサ〕TMS3556
- FIP用CPU μ PD7538A

波形記憶部

ウェーブ・ゲートアレイRF5C36により、入力音の波形データを256KビットのDRAM24個に記憶させています。

詳細

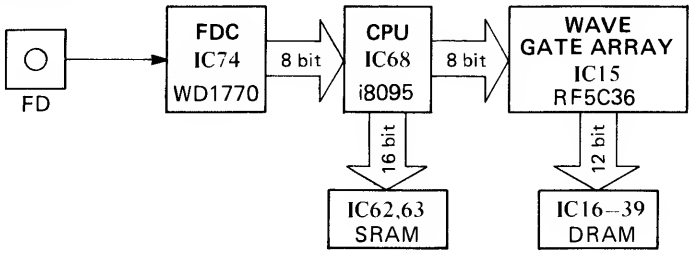
システム動作

ソフトウェアについて

システムソフトウェアはディスクにより本体に供給されます。本体ROM内には、システムの初期設定プログラム及び基本サブルーチン等が格納されています。ROMのシステム初期設定プログラムの流れをFig.1に示します。



Data From the Floppy Disk

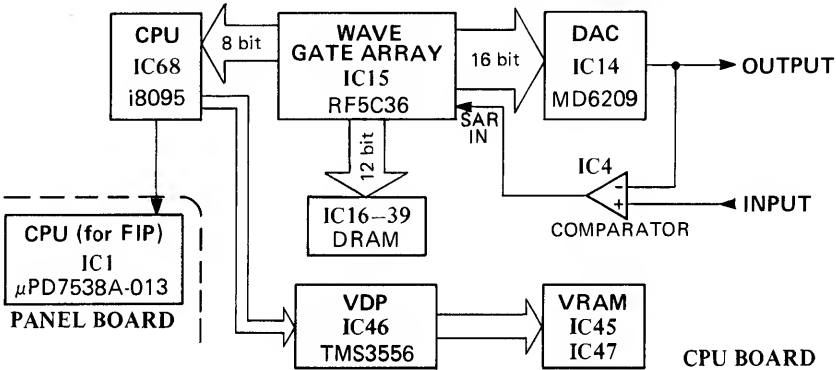


(Fig.2)

The waveform data are written into DRAMs (ICs 16 – 39) while the system program and parameters are into SRAMs (ICs 62 and 63).

波形データは、DRAM (IC16～39)へ、システムプログラム及びその他のパラメータはSRAM (IC62, 63)へ格納されます。

Input Sampling Signal (REC Mode)



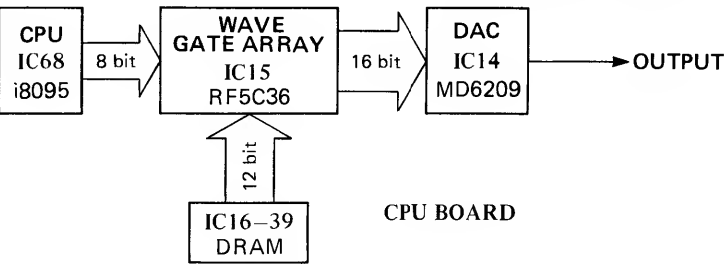
(Fig.3)

The A/D converter consisting of gate array (IC15), D/A converter (IC14) and comparator (IC4) converts the input signal into a digital data using the successive approximation method and stores the data into DRAMs (ICs 16 – 39).

The CPU monitors the input level in the IC15 and sends it to VRAMs (ICs 45 and 47) and FIP CPU (IC1) for use as level meter data.

ウェーブゲートアレイ (IC15)、D/Aコンバータ (IC14)、コンパレータ (IC4) で逐次比較型のA/Dコンバータを構成しています。入力信号はこのA/Dコンバータによりデジタルデータに変換され、DRAM (IC16～39)へ格納されます。CPU (IC68) はINPUTレベルを監視し、VRAM (IC45, 47) 及びFIP用CPU (IC1) にレベルメータのデータを転送します。

Waveform Reproduction



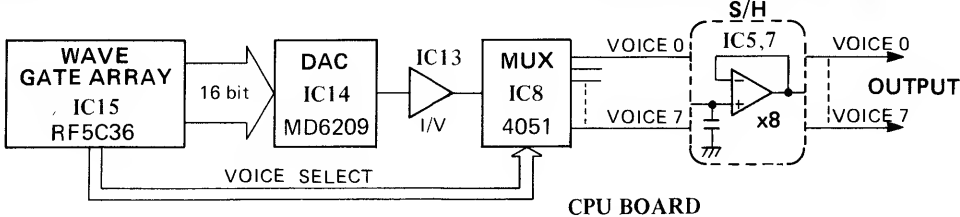
(Fig.4)

The CPU (IC63) sends the gate array (IC15) the information containing Note, Envelope, Loop concerning a sound to be played.

The gate array (IC15), upon receiving the data, reads the corresponding 12-bit wave data from DRAMs, processes the data with the envelope data to generate a 16-bit data and passes it onto the next stage, DAC (IC14).

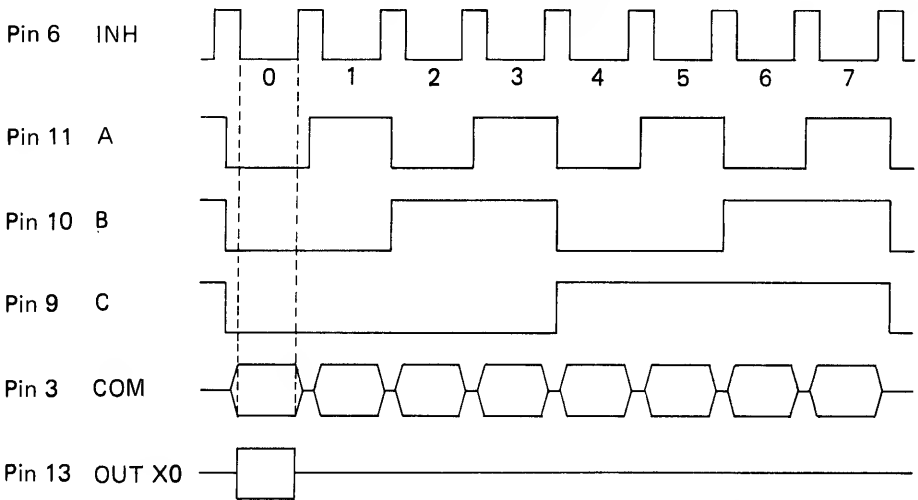
CPU (IC68) はウェーブゲートアレイ (IC15) にNOTE情報、ENVELOPE、LOOPの各情報を送ります。ウェーブゲートアレイ (IC15) は前記のデータを受けると、DRAMからの12bitデータをENVELOPE値との演算により16bitデータに変換し、DAC (IC14)へ送ります。

●Multiplexer and S/H



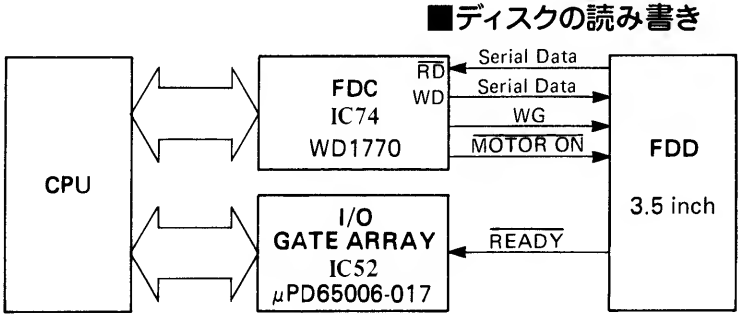
(Fig.5)

The DAC (IC14) splits 16 voices into 8 groups and outputs a set of 2 voices one by one in a timesharing fashion. Being a current producing type, its outputs are converted to voltage through I/V converter (IC13). The NUX (IC3) routes each 2-voice to the correct channel's S/H circuit. Shown below is the timing diagram of the MUX.



(Fig.6)

■Disk Read/Write



(Fig.7)

On a read or write command from the CPU, the FDC pulls MOTOR ON low to let the FDD (Floppy Disk Drive) starts the motor. When the motor running has reached stable condition, the FDD signals the CPU through I/O gate with a low READY. The low READY allows the CPU to issue a command which enables reading or writing to/from the disk. In the read mode the FDC reads data from FDD in serial format and sends it to the CPU in parallel 8 bits. In the write mode the FDC first pulls and keeps WG high and then places a data on WD line.

●マルチプレクサ、S/H回路

DAC (IC14) は、16 ボイスを8組に分け、2ボイスずつをミックスして時分割で出力します。この出力は電流型であるため、I/Vコンバータ (IC13) で電圧型に変換されます。

MUX (IC8) は、この時分割信号を8組に再分離し、S/H回路へ送ります。

MUXのタイミングチャートをFig. 6に示します。

■ディスクの読み書き

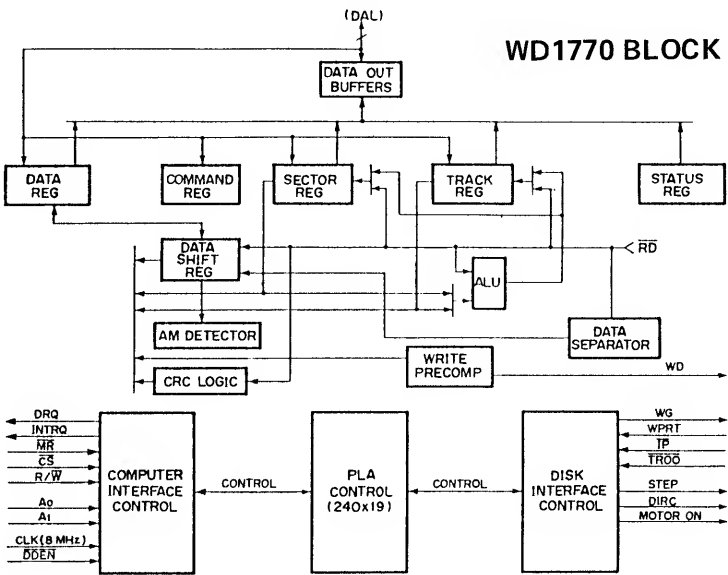
FDCはCPUからリード又はライトコマンドを受けると、FDD (フロッピーディスクドライブ) に対してMOTOR ON信号を送りFDDのモーターを回転させます。

FDDはモーターの回転が安定すると、CPUにREADY信号をI/Oゲートアレイを介して送ります。

CPUはREADY信号を受けると読み込み又は書き込み動作を開始させます。

リード時、FDCはRD端子よりFDDからのシリアルデータを受けとりCPUに転送します。

また、ライト時FDCはWG信号をHighレベルにし、WD端子を通じてデータをFDDに書き込みます。



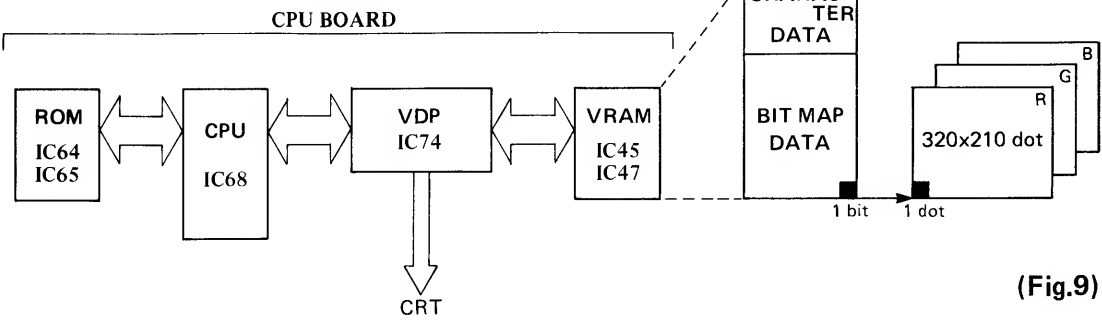
(Fig.8)

FDC Pin Description

(Table 1)

PIN NUMBER	MNEMONIC	SIGNAL NAME	I/O	DESCRIPTION																									
1	CS	CHIP SELECT	I	A logic low on this input selects the chip and enables Host communication with the device. Low LevelでCPUとのコミュニケーションが可能になります。																									
2	R/W	READ/WRITE	I	A logic high on this input controls the placement of data on the D0-D7 lines from a selected register. While a logic low causes a write operation to a selected register. リード・サイクルのときはHigh Level、ライト・サイクルのときはLow Levelにします。																									
3, 4	A0, A1	ADDRESS 0, 1	I	These two inputs select a register to Read/Write data: 次に示すように、この2つの入力によってリード、またはライト・サイクルにおけるFDC内部のレジスタを選択します。 <table><tr><td>CS</td><td>A1</td><td>A0</td><td>R/W=1</td><td>R/W=0</td></tr><tr><td>0</td><td>0</td><td>0</td><td>Status Reg</td><td>Command Reg</td></tr><tr><td>0</td><td>0</td><td>1</td><td>Track Reg</td><td>Track Reg</td></tr><tr><td>0</td><td>1</td><td>0</td><td>Sector Reg</td><td>Sector Reg</td></tr><tr><td>0</td><td>1</td><td>1</td><td>Data Reg</td><td>Data Reg</td></tr></table>	CS	A1	A0	R/W=1	R/W=0	0	0	0	Status Reg	Command Reg	0	0	1	Track Reg	Track Reg	0	1	0	Sector Reg	Sector Reg	0	1	1	Data Reg	Data Reg
CS	A1	A0	R/W=1	R/W=0																									
0	0	0	Status Reg	Command Reg																									
0	0	1	Track Reg	Track Reg																									
0	1	0	Sector Reg	Sector Reg																									
0	1	1	Data Reg	Data Reg																									
5-12	DAL0-DAL7	DATA ACCESS LINES 0 THROUGH 7	I/O	Eight-bit bi-directional bus used for transfer of data, control, or status. This bus is enabled by CS and R/W. Each line will drive one TTL load. 8 bitのデータ・バスで、データのやりとりを使用されます。																									
13	MR	MASTER RESET	I	A logic low pulse on this line resets the device and initializes the Status Register (internal pull-up). Low Levelで、FDCをリセットします。																									
14	GND	GROUND	I	Ground. 電源グランドに接続します。																									
15	Vcc	POWER SUPPLY	I	+5V ±5% power supply input. +5V電源に接続します。																									
16	STEPP	STEP	O	The Step output contains a pulse for each step of the drive's R/W head. ディスク・ドライブにヘッドを動かすためのパルスを送ります。																									
17	DIRC	DIRECTION	O	The Direction output is high when stepping in towards the center of the diskette, and low when stepping out. ディスク・ドライブのヘッドをHigh Levelでディスクの内側へ、Low Levelでディスクの外側へステップさせるための方向を設定します。																									
18	CLK	CLOCK	I	This input requires a free-running 50% duty cycle clock (for internal timing) at 8MHz ±0.1%. 8 MHz ±0.1% 50%デューティサイクルのクロックを入力します。																									
19	RD	READ DATA	I	This active low input is the raw data line containing both clock and data pulses from the drive. ディスク・ドライブからデータを受けます。																									
20	MO	MOTOR ON	O	This active high output turns on the motor. ディスク・ドライブのモータを制御します。																									
21	WG	WRITE GATE	O	This output is made valid prior to writing on the disk. ディスク・データを書き込むときに High Levelになります。																									
22	WD	WRITE DATA	O	FM or MFM clock and data pulses are placed on this line to be written on the diskette. データをディスク・ドライブへ送ります。																									
23	TR00	TRACK 00	I	This active low input informs the WD1770-00 that the drive's R/W heads are positioned over Track zero (internal pull-up). トラック00信号を受けます。Low Levelのときディスク・ドライブのヘッドがディスクの最も外側に位置します。																									
24	IP	INDEX PULSE	I	This active low input informs the WD1770-00 when the physical index hole has been encountered on the diskette (internal pull-up). インデックス信号を受けます。この信号はディスクが1回転するごとにディスク・ドライブから送られてきます。																									
25	WPRT	WRITE PROTECT	I	This input is sampled whenever a Write Command is received. A logic low on this line will prevent any Write Command from executing (internal pull-up). ライト・プロテクト信号を受けます。この信号は、ディスクにライト・プロテクトがかかっているときにディスク・ドライブから送られてきます。																									
26	DDEN	DOUBLE DENSITY ENABLE	I	This input pin selects either single (FM) or double (MFM) density. When DDEN=0, double density is selected (internal pull-up). High Levelで単密度 (FM)に、Low Levelで倍密度 (MFM)に設定されます。																									
27	DRQ	DATA REQUEST	O	This active high output indicates that the Data Register is full (on a Read) or empty (on a Write) operation. この出力の立ち上がりでデータ・レジスタがリードのときはフル、ライトのときはエンフティであることをCPUに知らせます。																									
28	INTRQ	INTERRUPT REQUEST	O	This active high output is set at the completion of any command or reset at a read of the Status Register. この出力の立ち上がりで、コマンドの実行終了をCPUに知らせます。																									

Video Display Processor
(VDP) TMS-3556



The figure 9 below shows the block diagram of the VDP, IC74 and associated circuits. The VDP operates either of TEXT and BIT MAP modes.

Text Mode

In the text mode the CPU sends the VDP a character code and the coordinates of the character on the screen. The VDP fetches the character pattern data from the VRAM character area and displays the character in a 10 by 8 dot matrix on the 21 row by 40 character screen.

Bit Map Mode

The VRAM bit map area is divided into three portions, each corresponds to color R, G, or B of 320 by 210 dot matrix on the screen. When in this mode, the CPU writes image data into the bit map area. The VDP displays pixel by pixel with specified color.

VDPビデオ・ディスプレイ・プロセッサ
TMS3556

VDPの周辺ブロック図をFig. 9 に示します。
VDPは次の2種類のモードで動作しています。

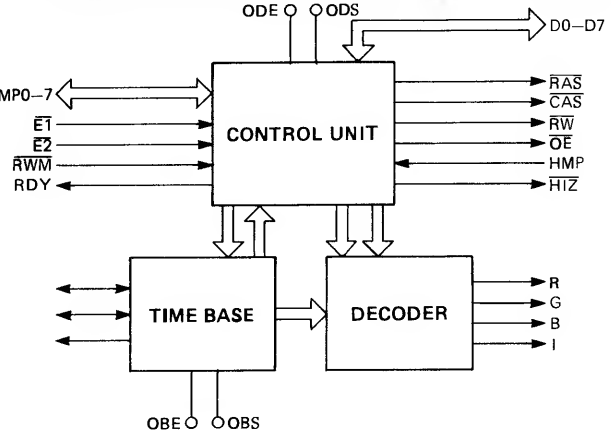
テキストモード

CPUから表示する座標点データと文字コードを受け取ると、VRAM内部のキャラクタ領域から、キャラクタパターンを、読み込み41桁×21行で表示します。

ビットマップモード

画面を、R、G、B3枚のシートに分解し、1シート(320×210ドット)の1ドットをVRAM内ビットマップ領域の1ビットに対応させて表示します。したがってCPUがVRAMのビットマップ領域へ画面データを書き込む事により、ドット毎に色を指定した各種グラフィック等を、描くことができます。

VDP TMS3556 BLOCK DIAGRAM (Fig.10)



I/O Gate Array μ PD65006-017 (IC52)

Figure 11 shows an internal block diagram of the Gate Array. The controller generates various control signals which determine the operational timings of most of the system stages. The μ PD65006-017, in addition to many I/O parts, has the ports for interfacing with α -dial and EXT controller.

EXT CONTROLLER Socket

This socket enables communications with a digitizer (e.g. DT-100) in synchronous serial format. The pin assignment is as shown below.

I/O ゲートアレイ μ PD65006-017(IC52)

内部ブロック図をFig. 11に示します。
ポート及びコントローラ等を内蔵しており各種コントロール信号の発生、 α ダイヤル及びディジタイザのインターフェイスの役割をします。

ディジタイザ [EXT CONTROLLER] 用端子

ディジタイザ(DT-100)と同期式のシリアル伝送を行なうための端子です。
各ピン端子機能についてTable 3に示します。

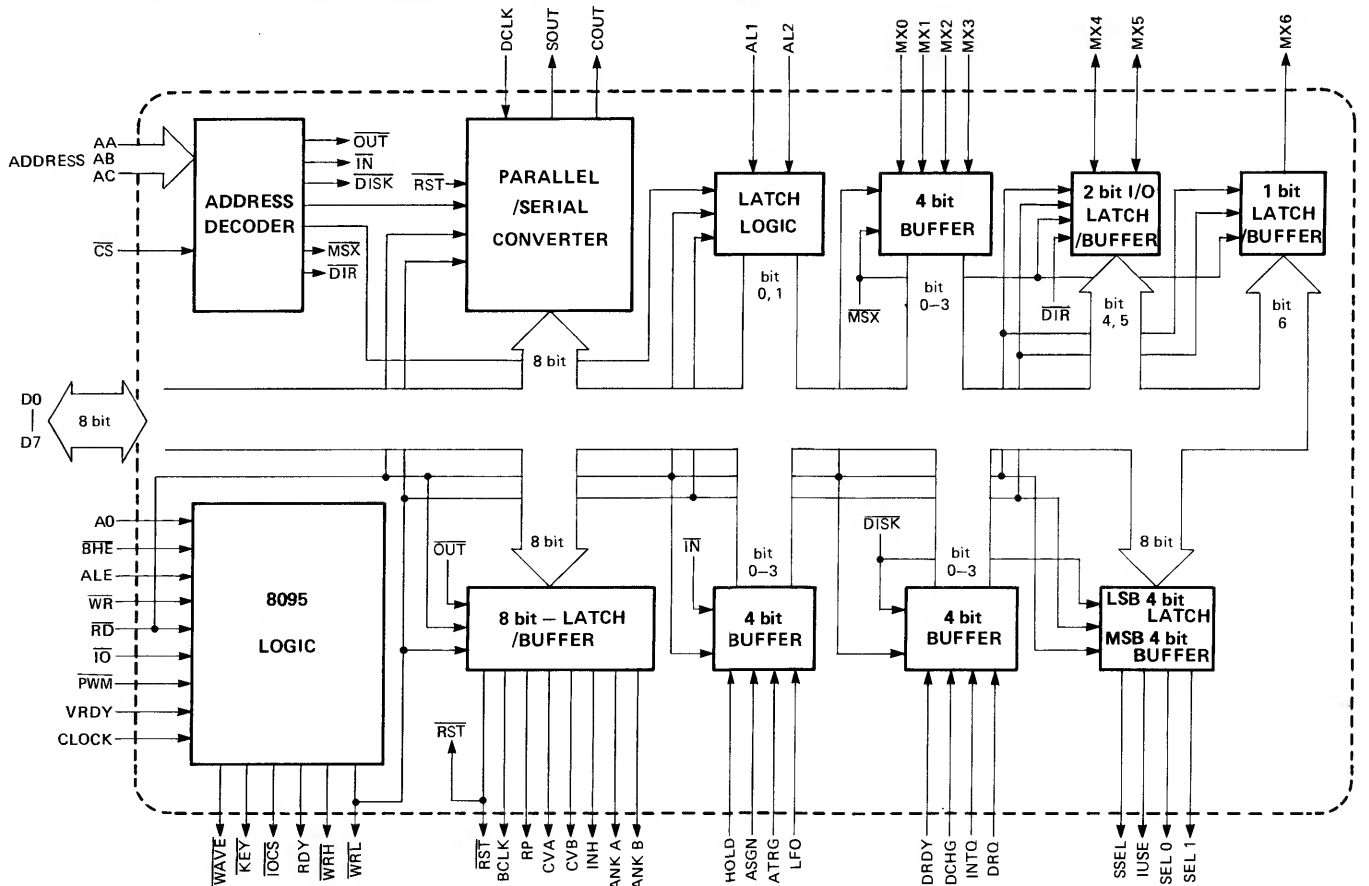
EXT CONTROLLER Pin Description (Table 3)

PIN NUMBER 端子番号	SYMBOL 記号	SIGNAL NAME 信号名	I/O	FUNCTION 機能
1	M×0	$\overline{\text{SENSE}}$	I	Senses input on the digitizer pad. パネル入力検出信号
2	M×1	EOC (End of Conversion)	I	Indicates the end of an A/D conversion cycle. A/D変換の終了信号
3	M×2	SI	I	Serial data. シリアルデータ
4	M×3	$\overline{\text{SW}}$	I	A low on this input is signaling that the stylus(switch) is on. スタイラスのSW入力信号をONにするとLowレベルになる。
5	+5.2V	+5.2V		+5.2V power supply. 電源+5.2V
6	M×4	$\overline{\text{CLK}}$	O	Clock input. クロック入力
7	M×5	SO	O	Serial data. シリアルデータ
8	M×6	$\overline{\text{CS}}$	O	A low $\overline{\text{CS}}$ enables communication with the digitizer. Lowレベル時にコミュニケーションが行なえます
9	GND	GND		GND グラウンド

VDP Pin Description (Table 2)

SIGNAL NAME	PIN NO.	I/O	DESCRIPTION	SIGNAL NAME	PIN NO.	I/O	DESCRIPTION
VGG	1	I	Power Supply: +5.2V +5.2V電源	MP3	40	I/O	CPU-VDP Data Bus CPU-VDPデータ・バス
MP4	2	I/O	CPU-VDP Data Bus CPU-VDPデータ・バス	MP2	39	I/O	CPU-VDP Data Bus CPU-VDPデータ・バス
MP5	3	I/O	CPU-VDP Data Bus CPU-VDPデータ・バス	MP1	38	I/O	CPU-VDP Data Bus CPU-VDPデータ・バス
MP6	4	I/O	CPU-VDP Data Bus CPU-VDPデータ・バス	MP0	37	I/O	CPU-VDP Data Bus (MSB) CPU-VDPデータ・バス(MSB)
MP7	5	I/O	CPU-VDP Data Bus (LSB) CPU-VDPデータ・バス(LSB)	SCM	36	O	Composite Sync コンポジット同期信号出力
CAS	6	O	Column Address Strobe コラム・アドレス・ストロブ信号	B	35	O	B B信号出力
RAS	7	O	Row Address Strobe ロウ・アドレス・ストロブ信号	G	34	O	G G信号出力
WR	8	O	Memory Write メモリ・ライト信号	R	33	O	R R信号出力
OE	9	O	Memory Output Enable メモリ・アウトプット・イネーブル信号	I	32	O	Display Mode Select 表示モード切り替え信号
HIZ	10	O	Not used 使用しない	SLL	31	I/O	Horizontal Sync 水平同期信号入出力
RWM	11	I	CPU-VDP Write CPU-VDPライト信号	SCT	30	I/O	Vertical Sync 垂直同期信号入出力
HMP	12	I	Not used, pulled up to +5.2V 使用しない。+5Vにプルアップする。	OBS	29	O	Time Base Clock Xtal タイム・ベース・タイミング用振動子 接続端子(タイム・ベース・クロック)
ODS	13	O	DMA clock Xtal (Memory Access Timing) メモリ・アクセス・タイミング用振動子 接続端子(DMAクロック)	OBE	28	I	
ODE	14	I		E2	27	I	VDP Access Control VDP-アクセス・コントロール信号
READY	15	O	VDP Ready VDPレディ信号	E1	26	I	VDP Access Control VDP-アクセス・コントロール信号
D7	16	I/O	VDP-Memory Address/Data Bus (LSB) VDP-メモリ・アドレス/データ・バス(LSB)	D0	25	I/O	VDP-Memory Address/Data Bus (MSB) VDP-メモリ・アドレス/データ・バス(MSB)
D6	17	I/O	VDP-Memory Address/Data Bus VDP-メモリ・アドレス/データ・バス	D1	24	I/O	VDP-Memory Address/Data Bus VDP-メモリ・アドレス/データ・バス
D5	18	I/O	VDP-Memory Address/Data Bus VDP-メモリ・アドレス/データ・バス	D2	23	I/O	VDP-Memory Address/Data Bus VDP-メモリ・アドレス/データ・バス
D4	19	I/O	VDP-Memory Address/Data Bus VDP-メモリ・アドレス/データ・バス	VDD	22	I	Power Supply: +3V +3V電源
D3	20	I/O	VDP-Memory Address/Data Bus VDP-メモリ・アドレス/データ・バス	VSS	21	I	GND GND

μ PD65006-017 I/O GATE ARRAY BLOCK DIAGRAM (Fig.11)



CHANGE INFORMATION

IMPORTANT

The following modifications are mandatory. If any change has not been on a given unit, it must be implemented.

■ FUSE

● 100V VERSION ONLY

EFF. SN 700750-UP
F1: SD-6 630mA (12559409)

■ CPU BOARD

● Add resistor 100Ω to RGB terminals (Fig. A)

EFF. SN 711650-UP
To avoid accidental shorts of power supply if connected to an unspecified cable.

● Add diode, R and C to VSYNC circuit. (Fig. B)

EFF. SN 768700-UP
For positive sync between S-50 and CRT shorten VSYNC pulse width from 1.3ms to 0.3ms.

CAUTION:

The following S.Numbered products have been retrofitted insufficiently with a 68k resistor, getting 0.5ms pulse. Change the resistor to 47k as required.

SN 711950-712199

SN 712250-712799

SN 712900-768699

● Changing the values of CPU A/D input resistors (Fig. C)

R21-24: 10 KΩ to 1 KΩ
Improve S/N ratio at A/D converter input.
(Aftertouch CV occasionally does not fall down to 0V against 0 setting.)

■ CPU BOARD

● Add a capacitor to WAVE GATE ARRAY CLOCK GENERATOR (Fig. D)

EFF. SN 711650-UP
For more stable oscillation.

● Change S/H capacitor C12 0.01μF to 0.01μF

EFF. SN 711650-UP
To improve S/N ratio.

■ JACK BOARD

● Change

C55 - C58: Mylar 0.001 μF to Ceramic 470pF
C54: Mylar 0.0022 μF to Ceramic 470pF
C53: Ceramic 100pF to Ceramic 22pF
EFF. SN 700655-UP (100V version)
700750-UP (117V version)
701605-UP (220V version)
701625-UP (240VE version)
701635-UP (240VA version)

To improve S/N ratio.

変更案内

重要

修理等の場合は製造番号を確認し、下記の変更が実施されているかを調べて下さい。

未実施の場合は、本枠内の変更を必ず行って下さい。

■ ヒューズ

● 100V仕様のみ値変更

実施 製番 700750以降
F1: SD-6 630mA (12559409)

■ CPUボード

● RGB端子抵抗100Ω追加 Fig.A

実施 製番 711650以降
理由: 指定外ケーブル接続時における電源短絡防止

● VSYNCのパルス幅改善(抵抗、コンデンサ、ダイオード追加) Fig.B

1.3ms → 0.3ms 実施 製番 768700以降
注意: 製番 711950-712199
712250-712799
712900-768699

の製品には、すでに抵抗、コンデンサ、ダイオードが追加実装済です。しかし、抵抗値が68KΩ (VSYNCパルス幅 0.5msに設定) のため、これを47KΩに変更して下さい。

理由: 一部CRTとの同期ズレ防止

● CPU A/D 入力部の抵抗値変更 Fig.C

R21-24: 10KΩ → 1KΩ
実施 製番 725750以降
理由: A/D変換部のS/N改善
〔アフタータッチのCVが0Vまで下がりにくく、これが発音及びMIDI送信データに影響を与える。〕

■ CPUボード

● WAVE GATE ARRAY クロック部コンデンサ追加 Fig.D

実施 製番 711650以降
理由: 発振の安定化

● S/H 回路部コンデンサ(C12)定数変更

実施 製番 711650以降
マイラ 0.001 μF → マイラ 0.01 μF
理由: S/Hの向上

■ ジャックボード

● コンデンサ定数変更

実施 製番 100V 700655以降
117V 700750以降
220V 701605以降
240VE 701625以降
240VA 701635以降

C55-C58: マイラ 0.001 μF → セラミック 470pF
C54: マイラ 0.0022 μF → セラミック 470pF
C53: セラミック 100pF → セラミック 22pF

理由: S/Hの向上

● Add resistors to headphone jack (Fig. E)

EFF. SN 723750-UP
To minimize distortion.

● Change

EFF. SN 723750-UP
C1, C2, C13, C14, C25
C26, C33, C34, C63, C69 → Change to jumper wire
R80, R81
C35, C36, C82, C83 : Ceramic 330pF to 470pF
R57, R58, R67, R68 : 33 KΩ to 15 KΩ
C27, C28, C37, C38 : Ceramic 100pF to 47pF
R84 : 4.7 KΩ to 22 KΩ

To improve S/N ratio.

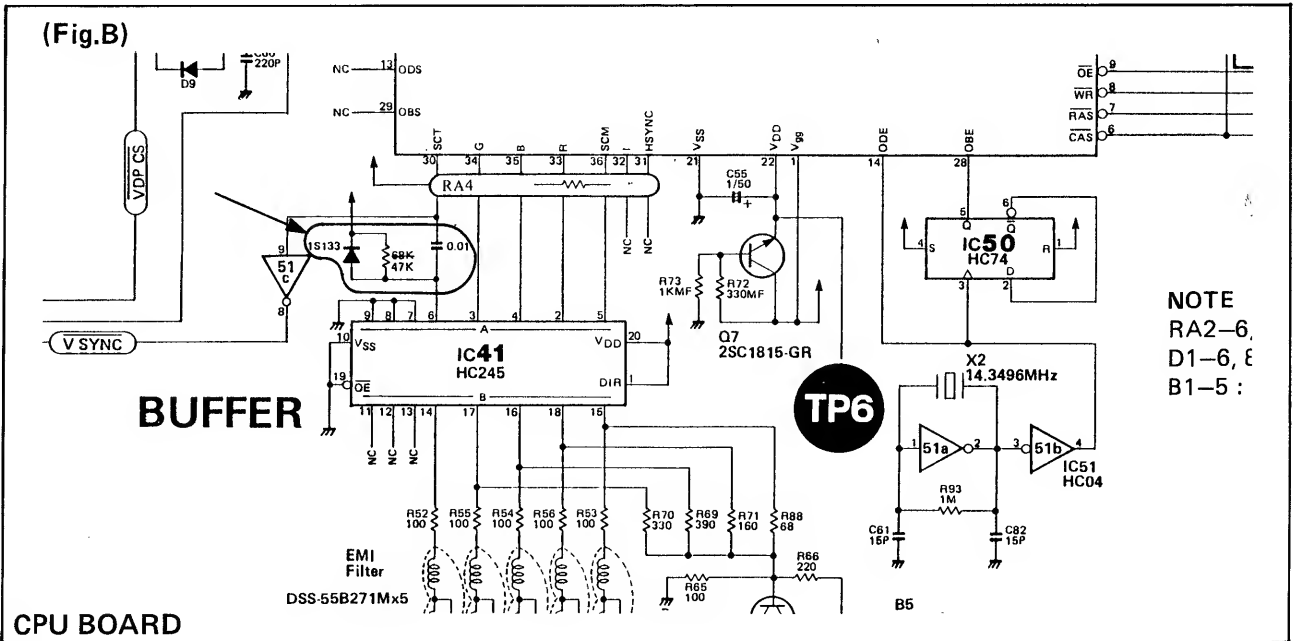
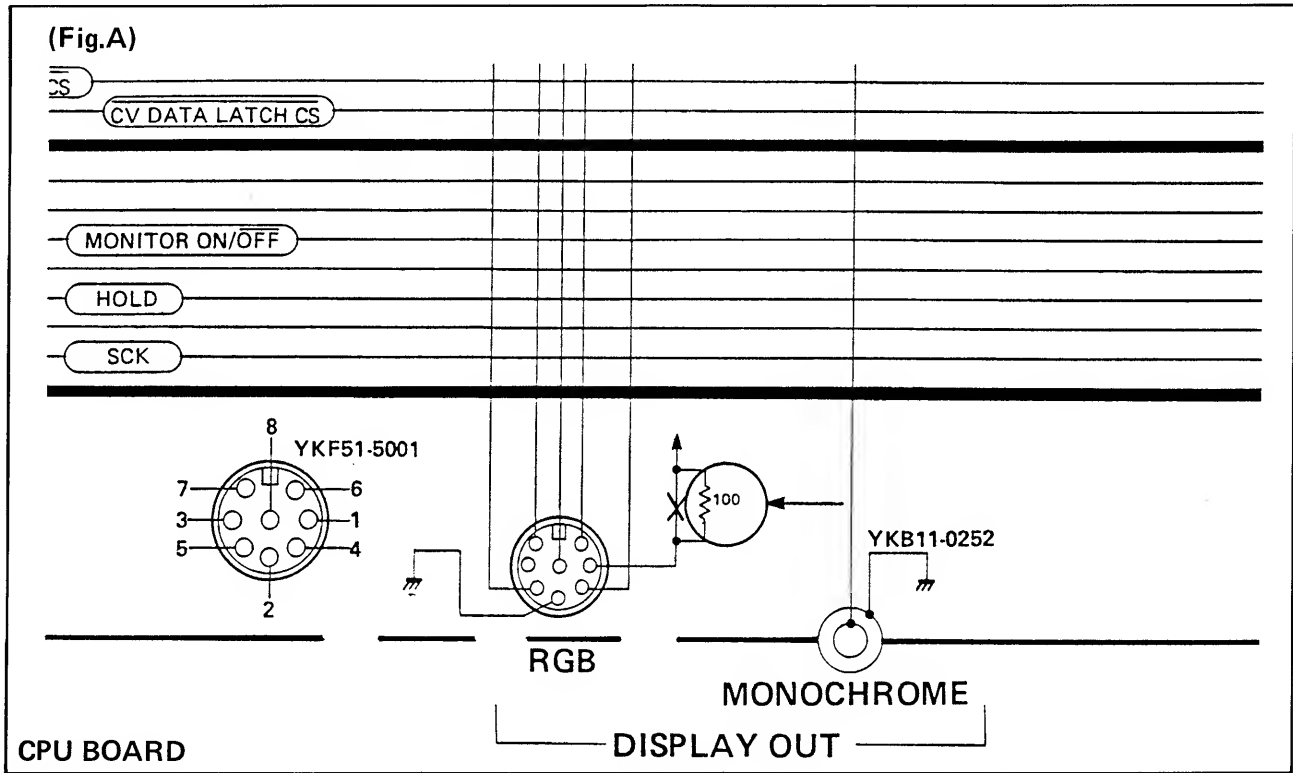
● ヘッドホンジャック抵抗 R119:220Ω追加 Fig. E

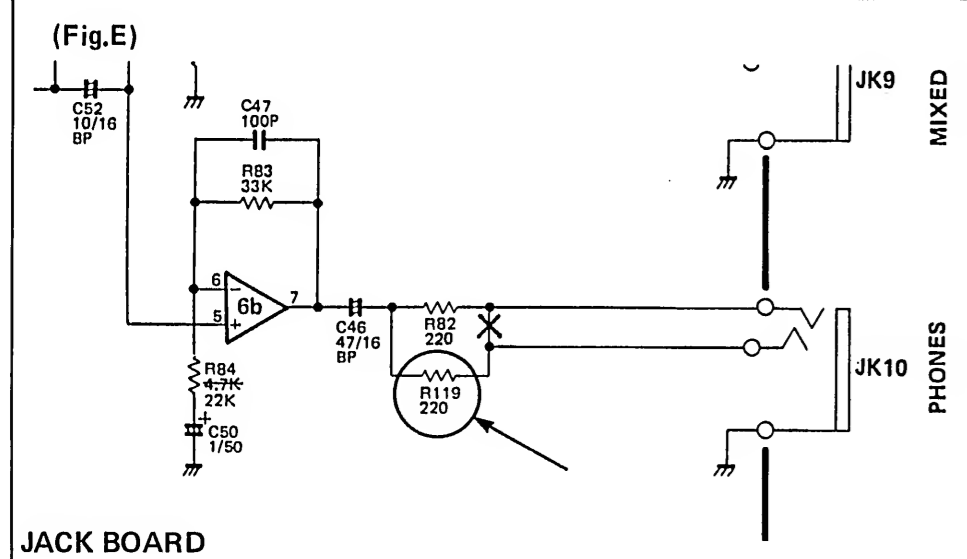
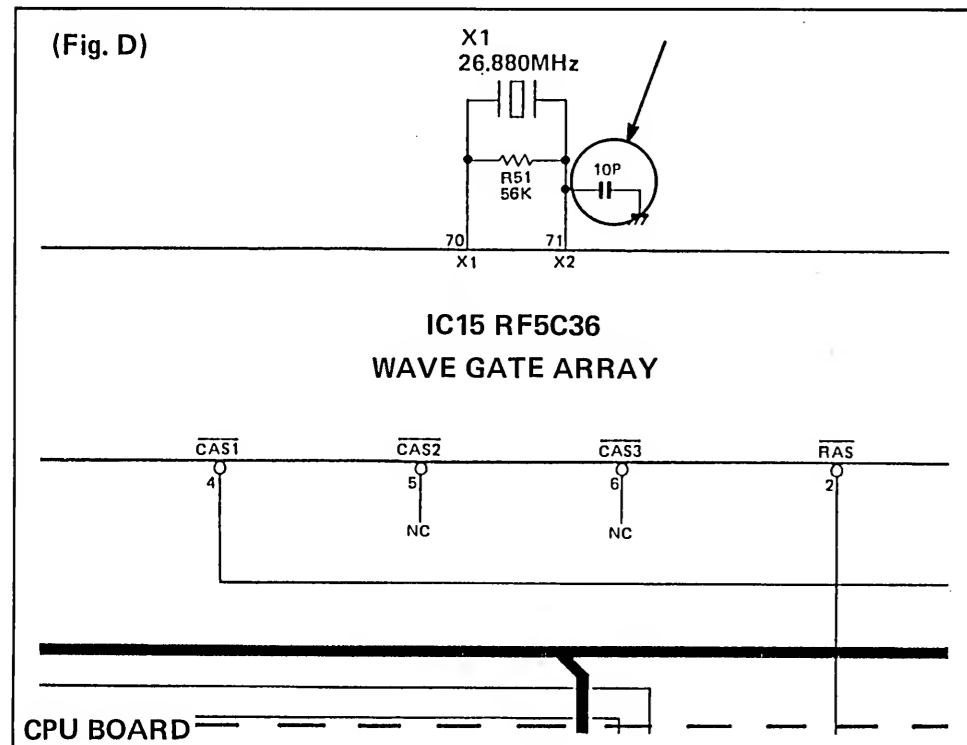
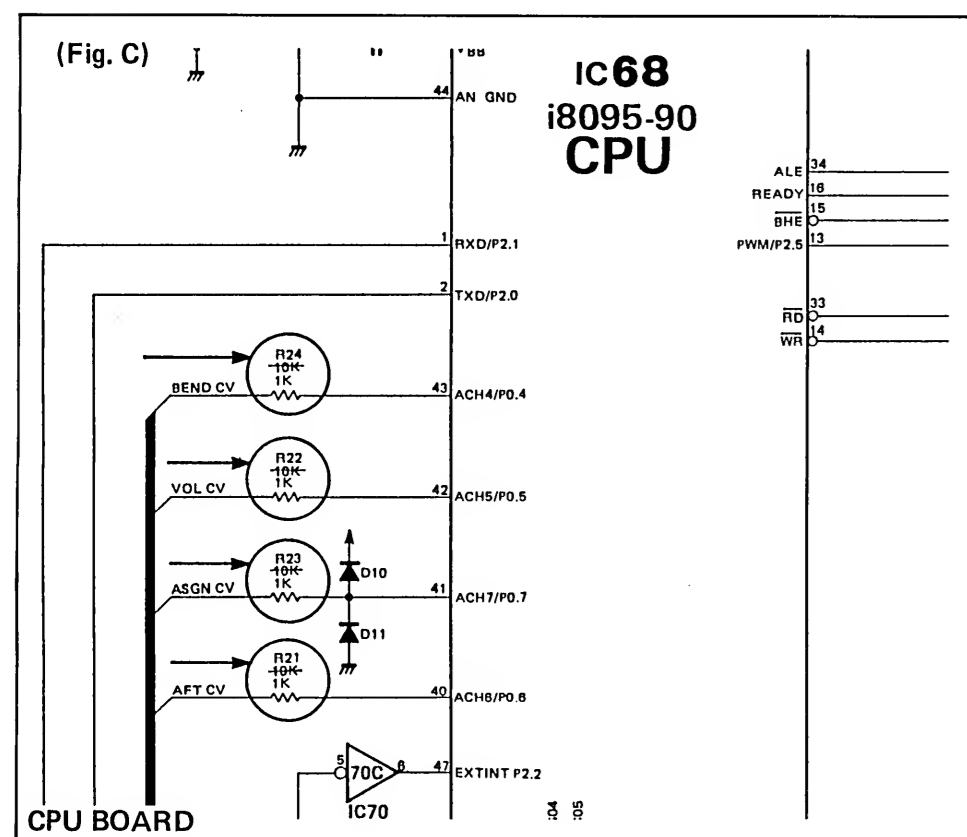
実施 製番 723750以降
理由: ヘッドホン出力の歪防止

● 抵抗及びコンデンサ定数変更

実施 製番 723750以降
C1, C2, C13, C14, C25
C26, C33, C34, C63, C69 → 削除、ジャンパー線挿入
R80, R81
C35, C36, C82, C83: セラミック 330pF → セラミック 470pF
R57, R58, R67, R68: 33KΩ → 15KΩ
C27, C28, C37, C38: セラミック 100pF → セラミック 47pF
R84: 4.7KΩ → 22KΩ

理由: S/Hの向上





ROM AND SYSTEM DISC VERSION DISPLAY

The procedure is applicable only to Disk Version 1.0.

NOTE:

Label Ver. 1.0 on a system disk represents software versions 1.00 to 1.09. Of these versions, Ver. 1.00 does not contain program for this mode.

System disk labelled Ver. 2.0 does not run Version Display routine in the way described here. Contact local Roland service facilities for the procedure.

1. Connect the CRT to this unit.
2. Turn the CRT and the unit on.
3. Load a system disk labelled Ver. 1.0.
4. Press FUNC, P1 and SHIFT in that order.
(Menu 11 "MASTER" selected.)
5. Press 1 and then ENTER.

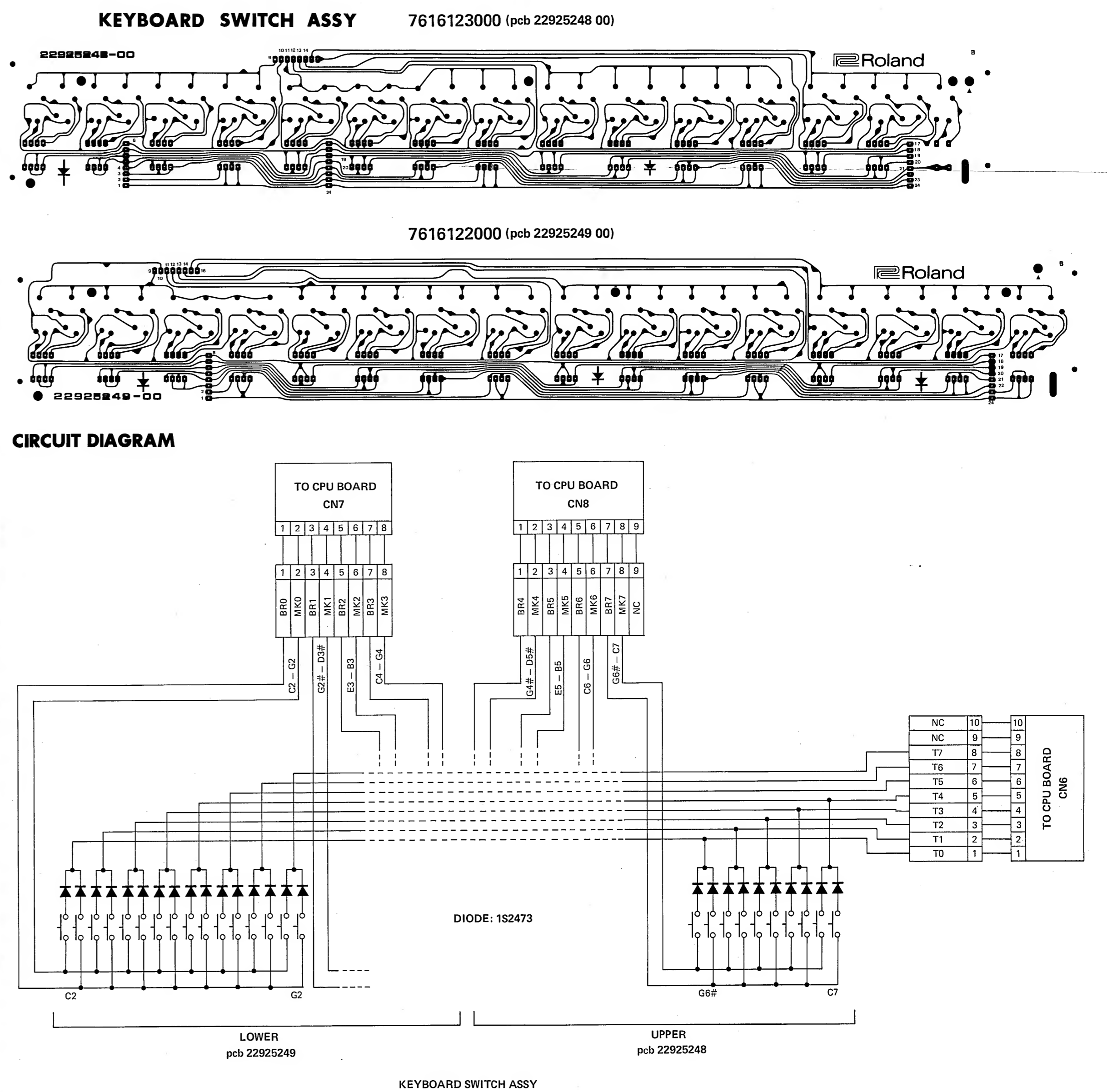
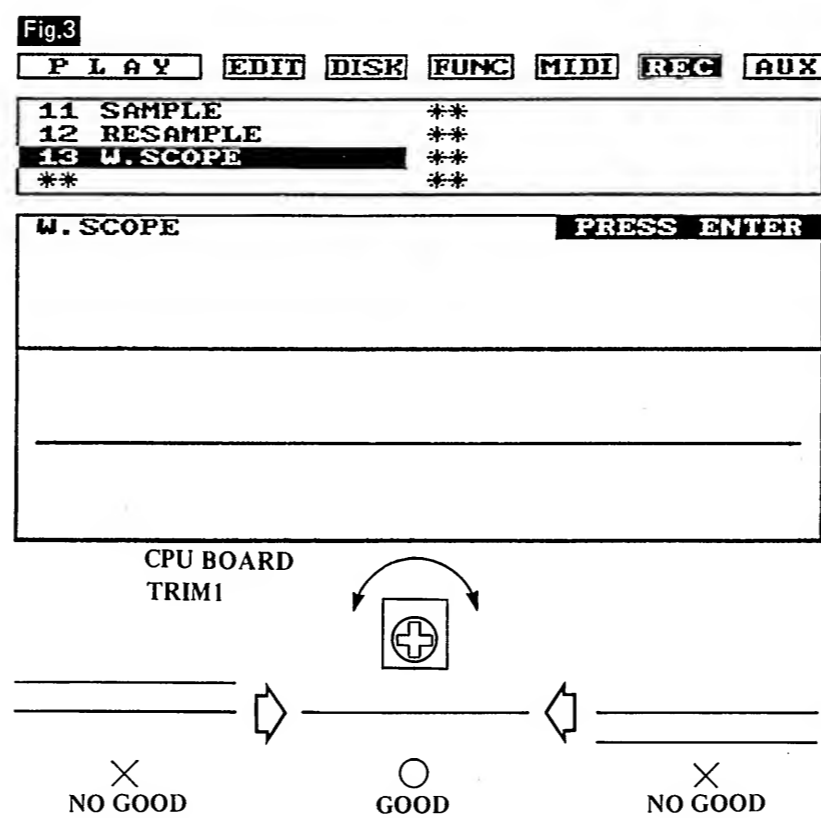
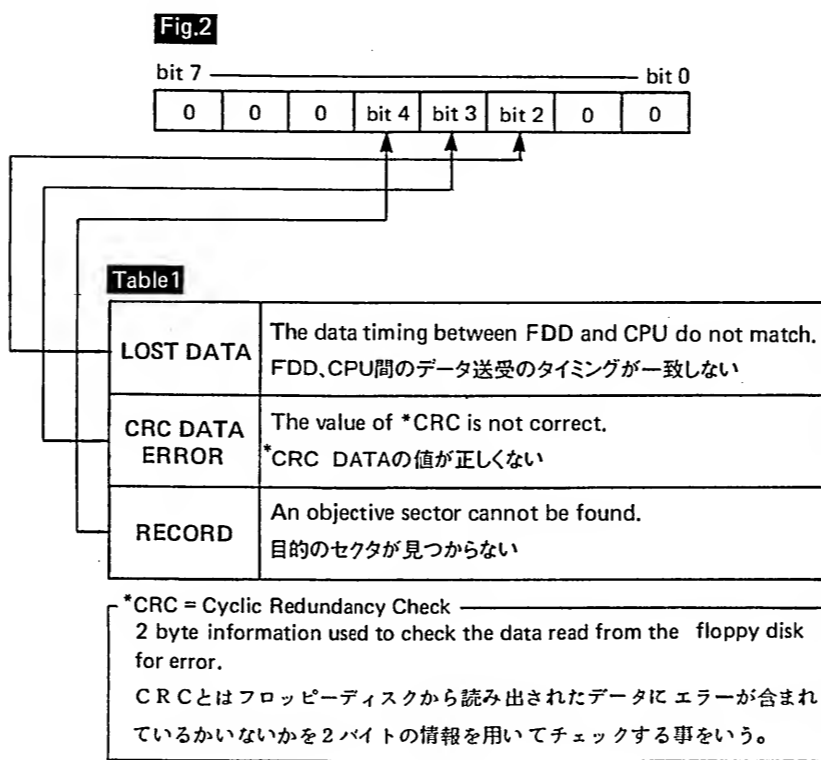
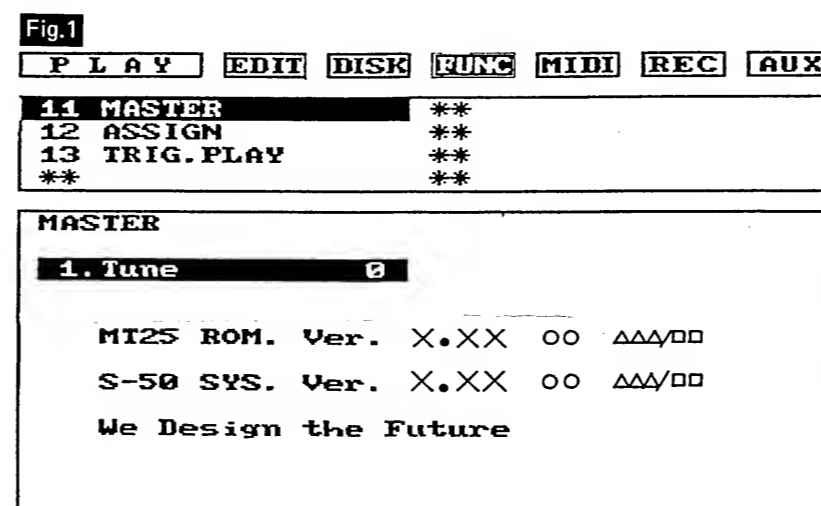
The CRT will show the version number of currently installed software in the disk and ROM, respectively Fig. 1.

バージョン確認モードについて

注意:
システムディスク上のラベルに Ver. 1.0 と印刷されている場合、このディスクに格納されているシステムプログラムバージョンは、Ver. 1.0 から Ver. 1.0.6 までのいずれかです。(昭和 62 年 1 月現在) この Ver. 1.0 は本ホームページをサポートしております。また、Ver. 2.00 以上のシステムディスクの場合は、操作方法が一部異なるのにめったの方法では行なう事ができません。
Ver. 2.00 以上についてはサービスインフォメーションを、参照して下さい。

本モードを用いる事によりシステムディスクのシステムプログラムバージョン（小数点以下2桁まで表示）及び本体内部のROMのバージョンとCRTで確認する事ができます。

1. 本体にCRTを接続する。
2. CRT及び本体の電源を入れシステム・ディスク(Ver. 1.0以上)をロードする。
3. システムプログラム起動後 **FUNC** **P1** **SHIFT** の順にボタンを押す。
4. **P1** ボタンを押し、次に **ENTER** ボタンを押すと、本体内部のROM及びシステム・プログラムのバージョンが画面に表示されます。(Fig. 1)



DISK LOAD ERROR MESSAGE NUMBER

Fig. 2 shows the bit definition of FDC internal status register. The bits 2 – 4 are error flags. If an error shown in Table 1 occurs, corresponding flag will be set to "1" level. Error message is represented in hexadecimal number which is converted from the value of status registers (8 bit).

ADJUSTMENT

■ DC VOLTAGE

- Connect probes of a voltmeter to TP+5 (+5.2V) on the JACK board and TP1 (GND) on the CPU board.
- Adjust VR1 on the power board for +5.2V.

■ DC OFFSET

NOTE:
Softwares implemented in the system disks labelled Ver. 2.0 and above require another procedure to work.

- Turn the unit off.
- Connect an RGB type CRT to RGB socket on the rear panel or a composite type CRT to Composite socket.
- Make sure that no plug is connected to INPUT jack.
- Turn the CRT and unit on.
- Load a system disk.
- After bootstrapping system program, press REC to enter the sampling mode.
- Press P3 and then SHIFT.
- (Section of menu 13 "WAVE SCOPE")
- Adjust TRIM1 on the CPU board so that two horizontal lines (signal and reference) overlap.

ディスク・ロード・エラー・メッセージ

Fig. 2 は F D C 内部のステータスレジスタを示したものです。

bit. 2, 3, 4 はそれぞれエラーフラグであり、Table 1 に該当するエラーが発生すると“1”にセットされます。エラーメッセージのナンバーは、ステータスレジスタ(8 ビット)の値を、16 進数に変換したものです。

調整仕様

■電源電圧

- デジタルボルトメータ（又はテスト）をジャックボードのTP+5（+5.2V）とCPUボードのTP1（GND）に接続する。
- メータの指示が+5.2VになるようにパワーボードのVR1を調整する。

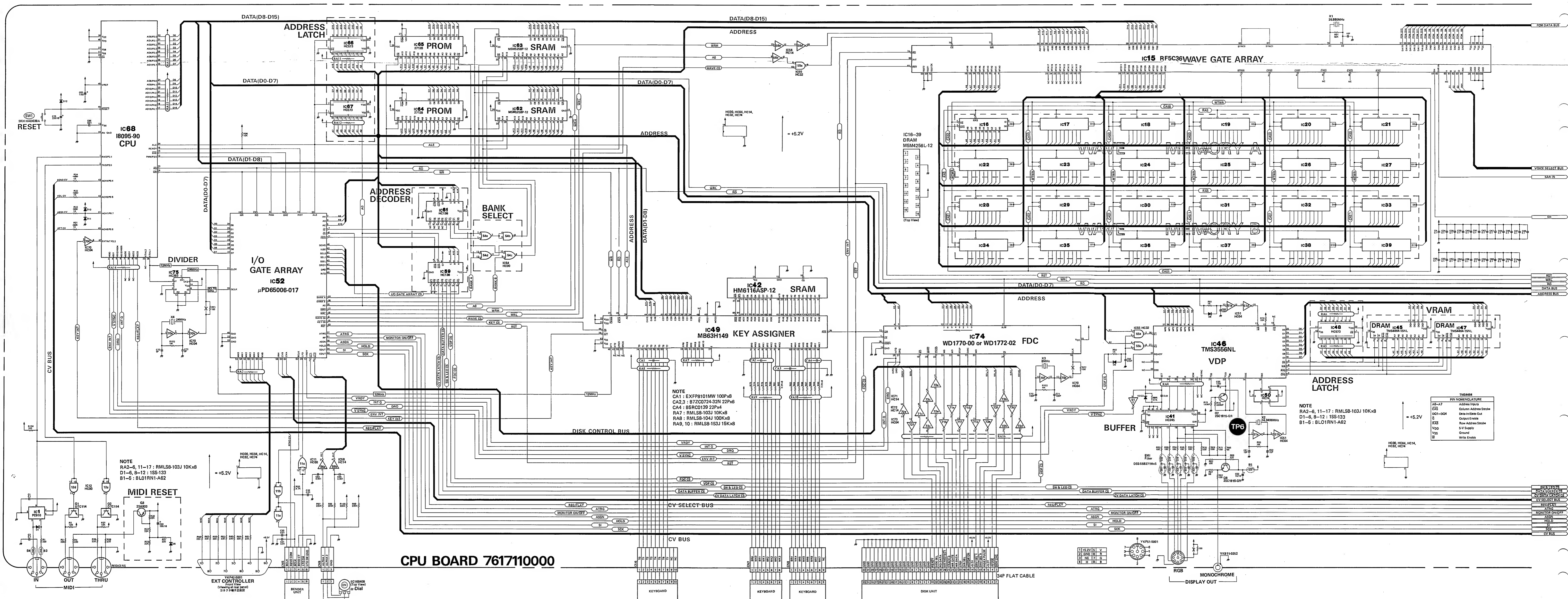
■D/Aオフセット

注意:

システムプログラム Ver. 2.00 以上のものについては、操作方法が一部異なるため、以下の操作手順では行うことができません。詳しくはサービスインフォメーションをご覧ください。

- 一旦すべての電源を切る。
- CRT を入力の形式に応じて、本体の RGB またはコンジューン端子へ接続する。
- INPUT ジャックに接続されていない事を確認する。
- CRT が本体の電源を入れ、システムメニューを挿入する。
- システムプログラム画面で、**[REC]** ボタンを押す。
メニュー 13 の “WAVE SCOPE” を選択
- C P U 基板の TRIM スイッチ、Fig. 3 の様に波形成と中央水平線とを合致させる。

CIRCUIT DIAGRAM

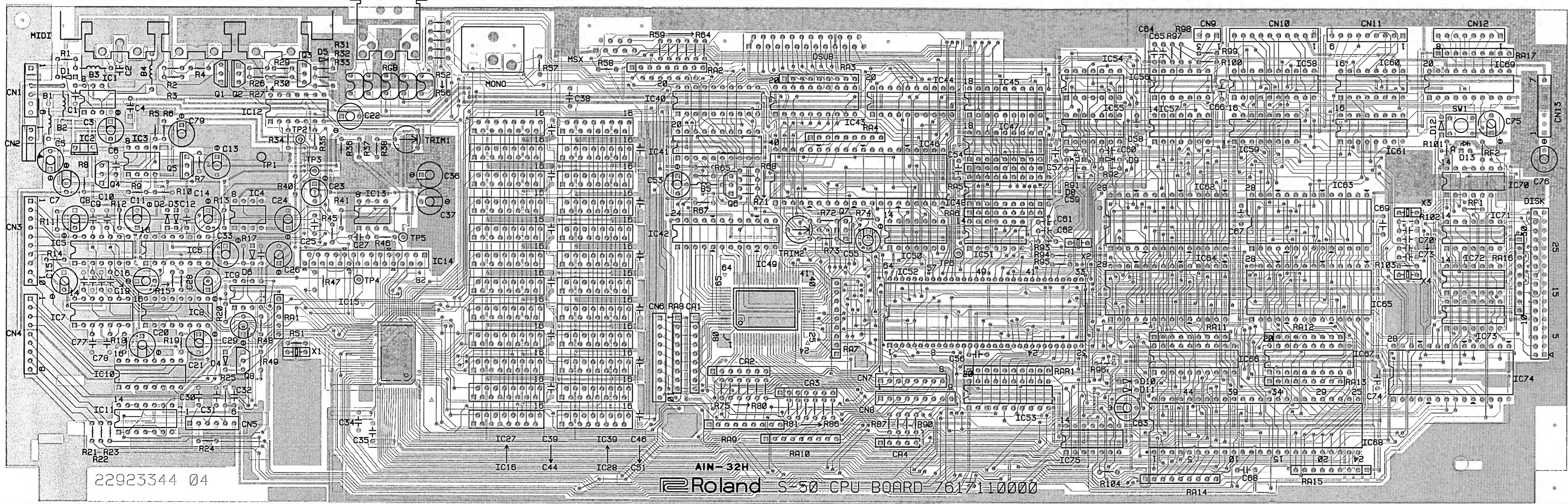


1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60

A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U

CPU BOARD
76171100 00
(pcb 22923344 04)

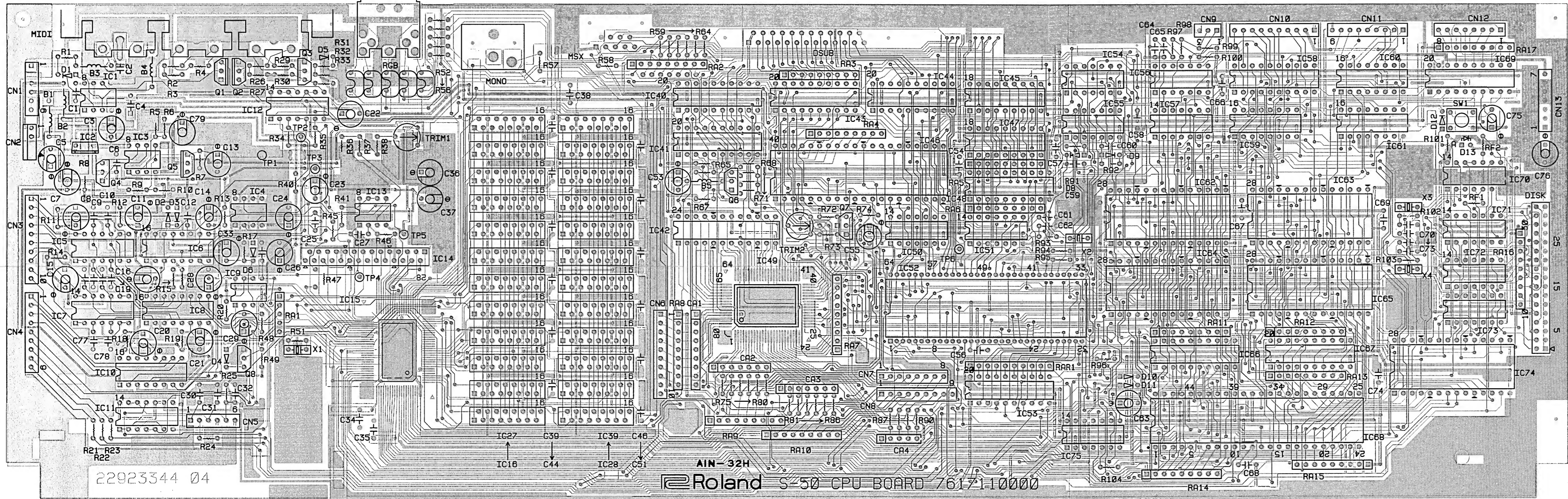
COMPONENT(SIDE) MARKING



View from component side

CPU BOARD
76171100 00
(pcb 22923344 04)

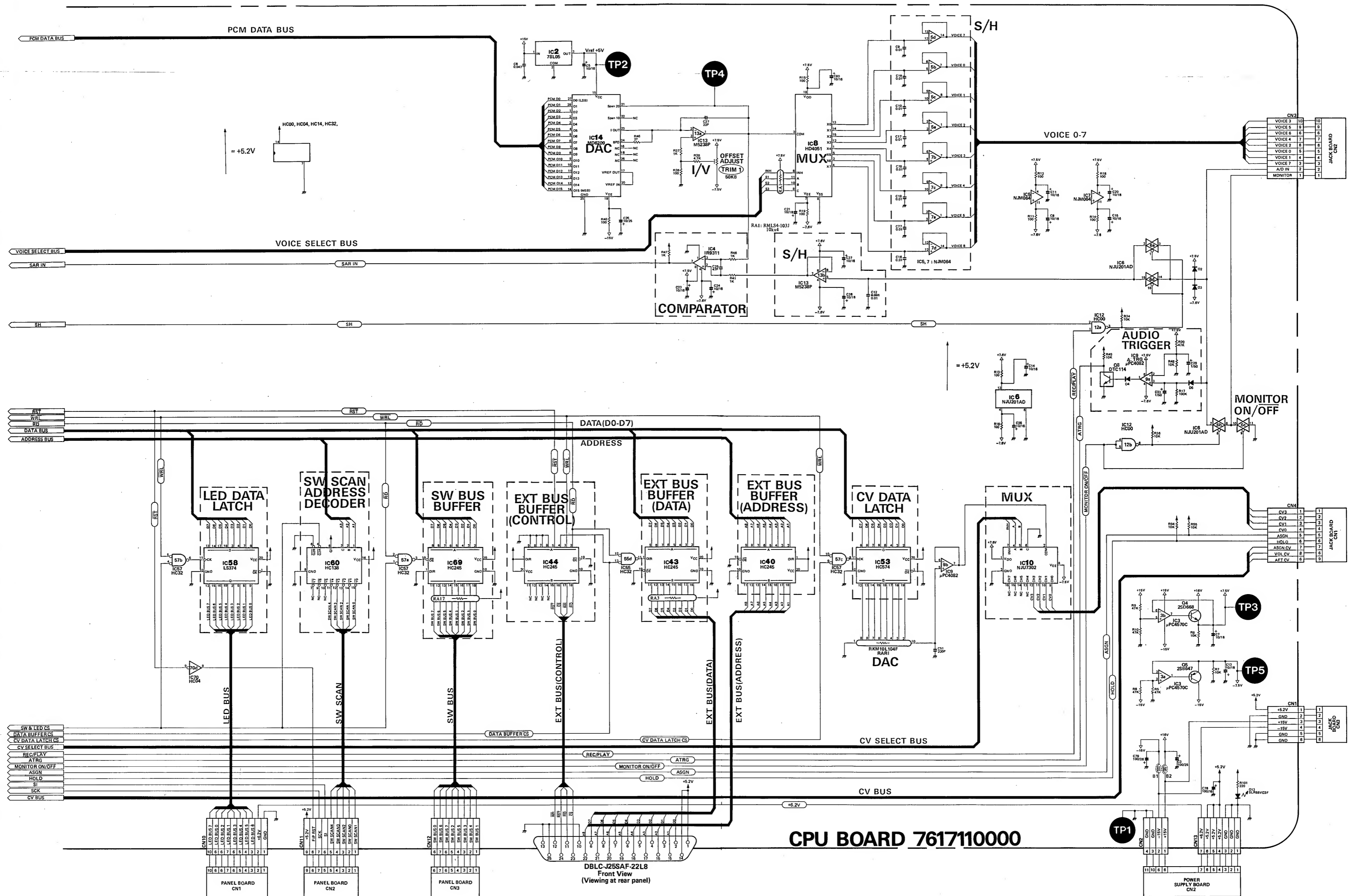
COMPONENT SIDE MARKING



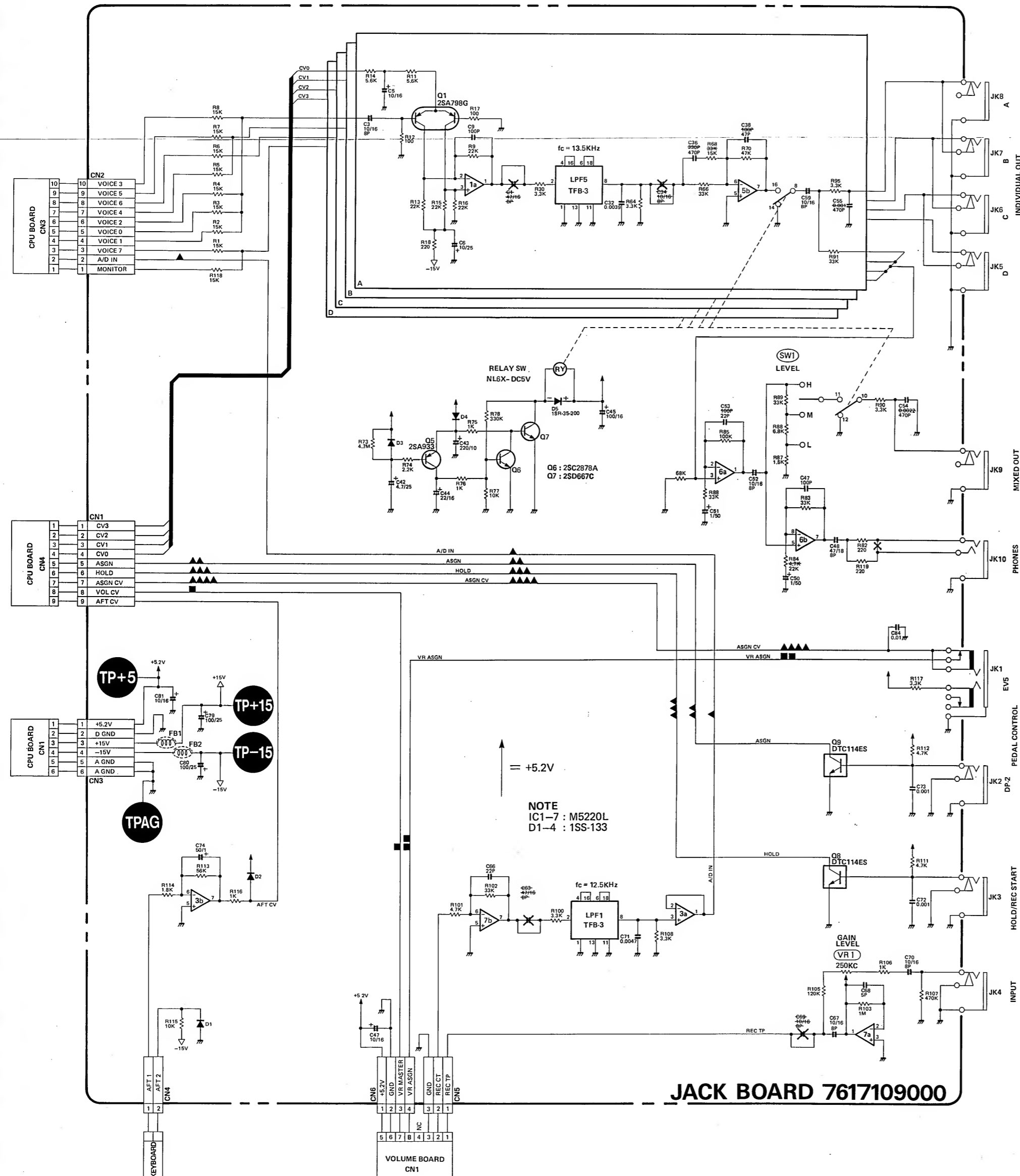
View from component side

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47

CIRCUIT DIAGRAM

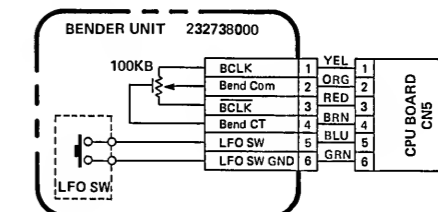
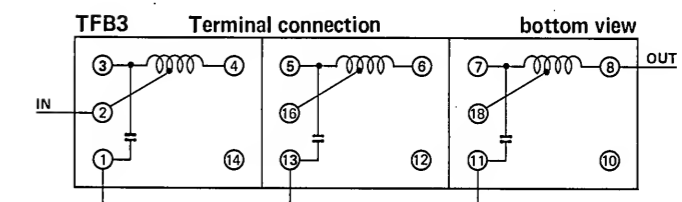
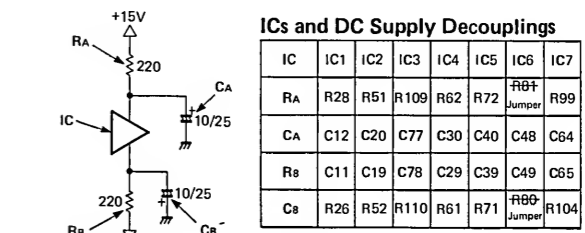


CIRCUIT DIAGRAM

CROSS REFERENCE - CIRCUIT NUMBER TO MODULE NUMBER
(No value difference among modules)

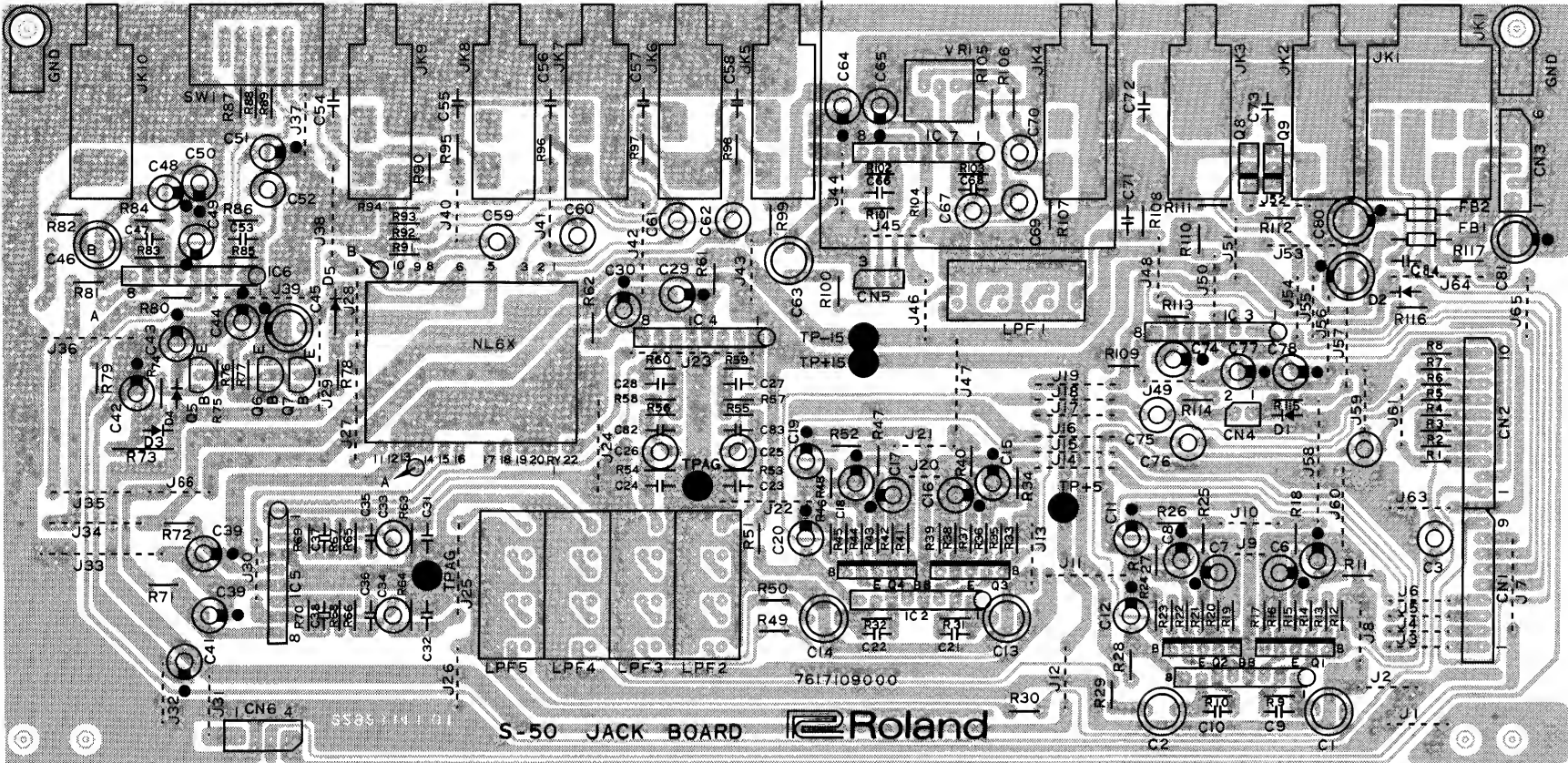
A	C3	R12	Q1	R17	R11	R14	C5	R13	R15	R18	C6	R16	IC1a	R9	C9	C1	R30
B	C4	R24	Q2	R19	R22	R27	C8	R23	R21	R25	C7	R20	IC1b	R10	C10	C2	R29
C	C78	R33	Q3	R39	R36	R34	C15	R35	R37	R40	C16	R38	IC2a	R31	C21	C13	R49
D	C75	R46	Q4	R41	R44	R48	C18	R45	R43	R47	C17	R42	IC2b	R32	C22	C14	R50

A	LPF5	C32	R64	C34	R66	C36	R68	IC5b	R70	C38	RELAY SW	C59	R95	C55	R91
B	LPF4	C31	R63	C33	R65	C35	R67	IC5a	R69	C37	RELAY SW	C60	R96	C56	R94
C	LPF3	C24	R54	C26	R56	C28	R58	IC4b	R60	C28	RELAY SW	C61	R97	C57	R93
D	LPF2	C23	R53	C25	R55	C27	R57	IC4a	R59	C27	RELAY SW	C62	R98	C58	R92

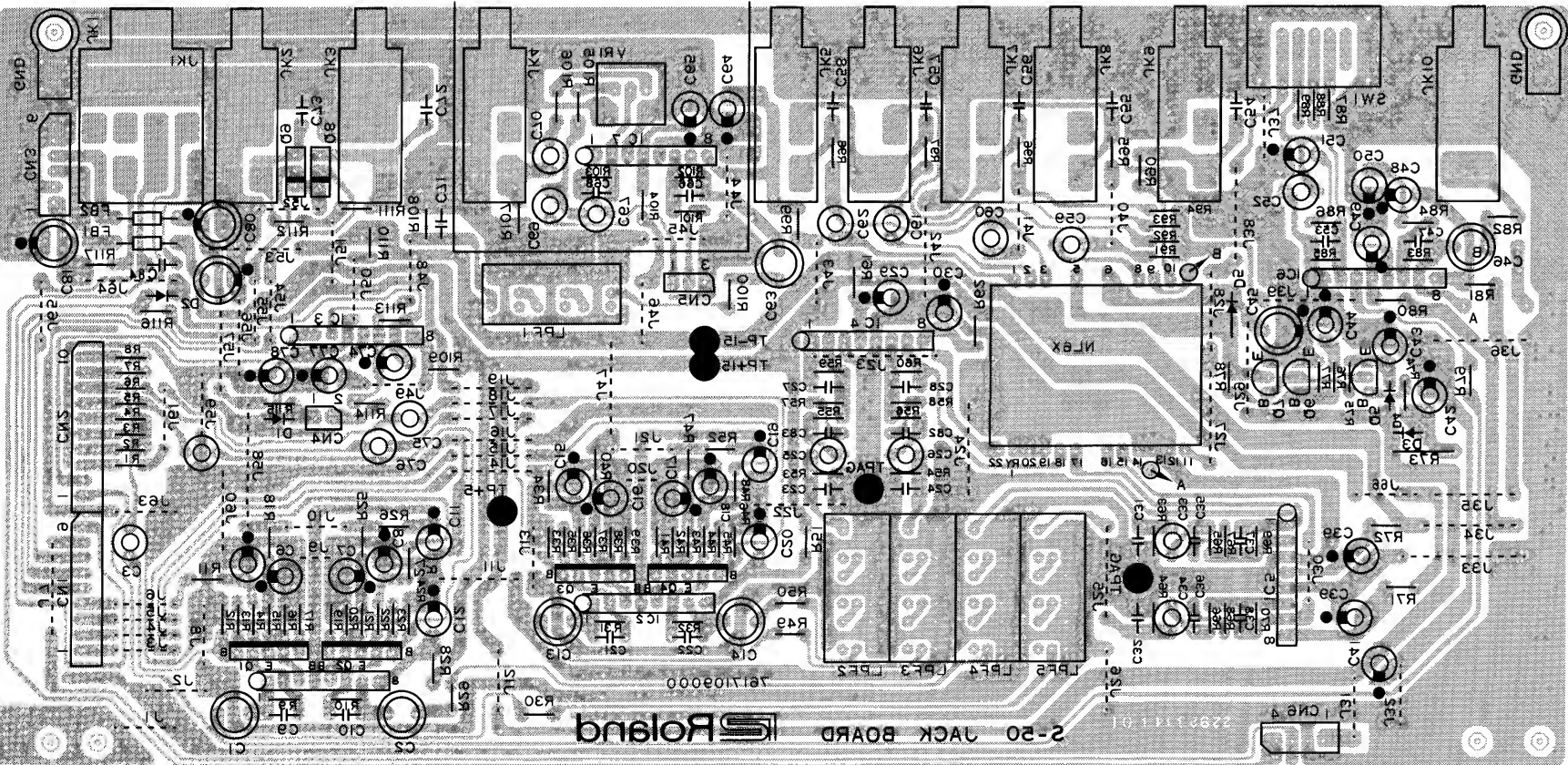


A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U
V

1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41

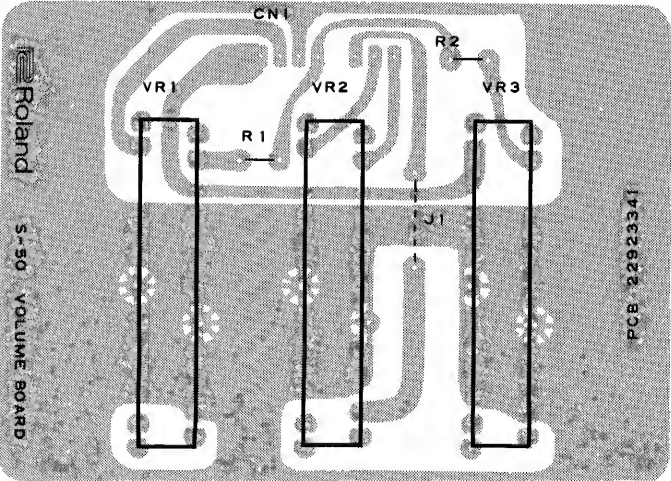


JACK BOARD
76171090 00
(pcb 22923343 01)

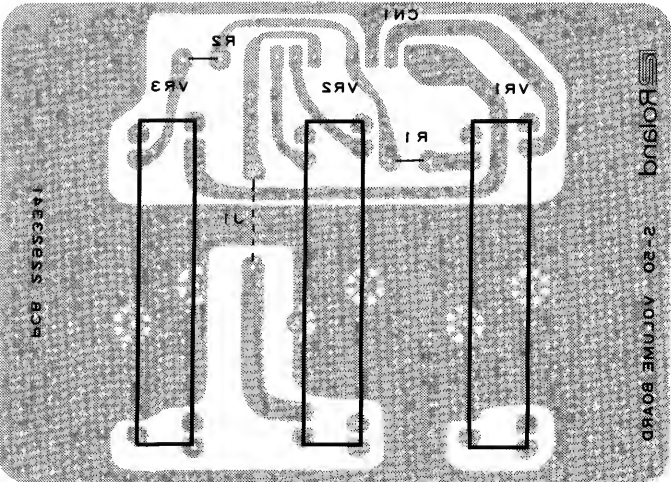


VOLUME BOARD
76171080 00
(pcb 22923341 00)

View from component side



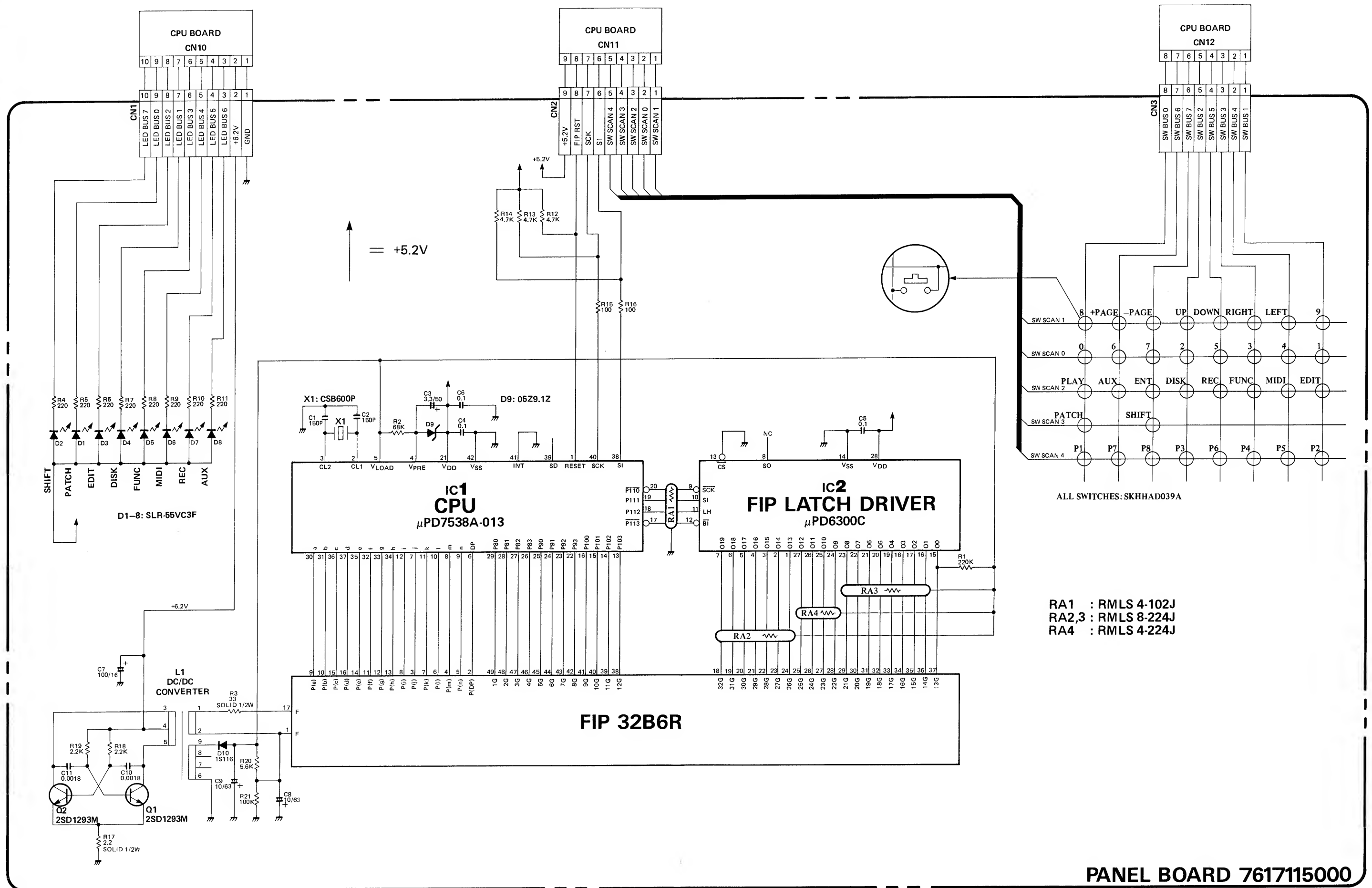
View from component side



View from foil side

View from foil side

CIRCUIT DIAGRAM

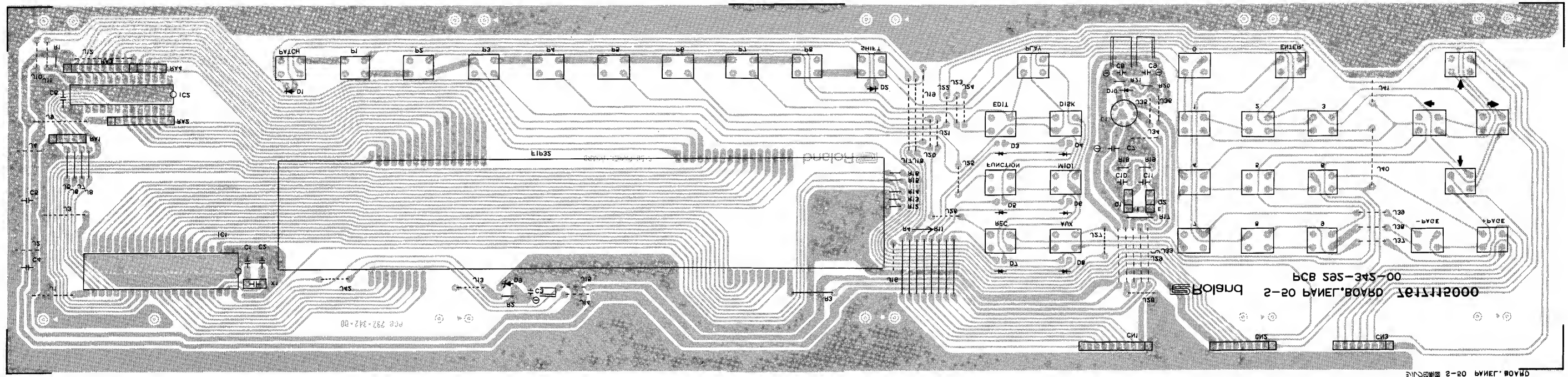


1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39

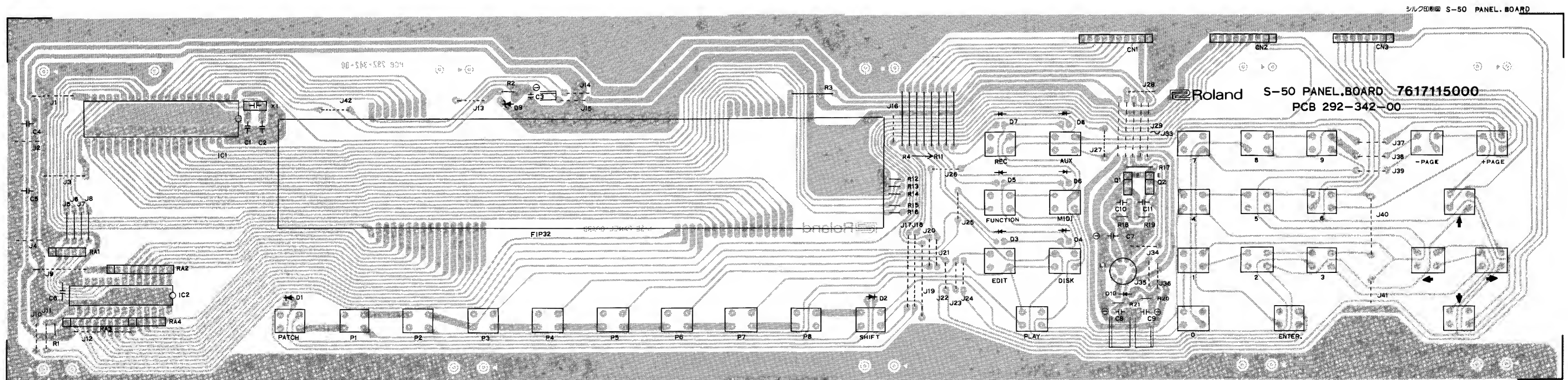
PANEL BOARD

76171150 00

(pcb 22923342 00)

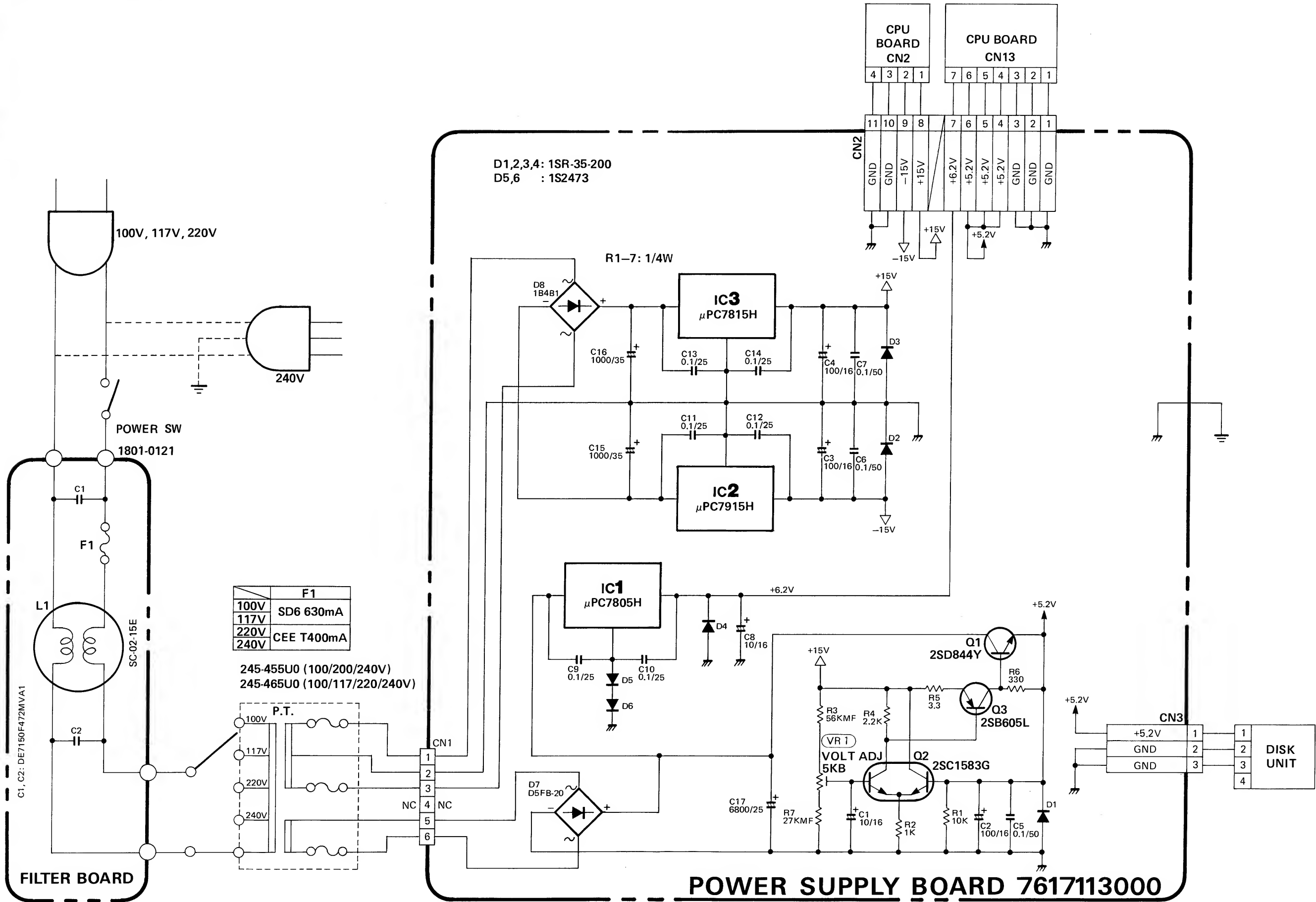


View from foil side



View from component side

CIRCUIT DIAGRAM

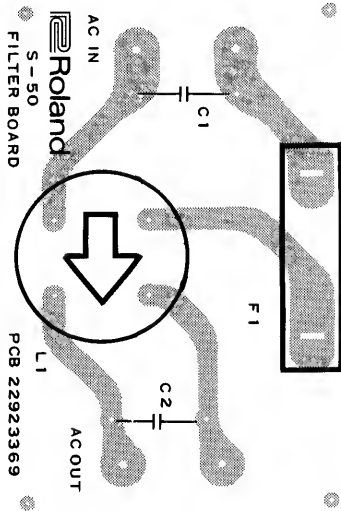


1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38

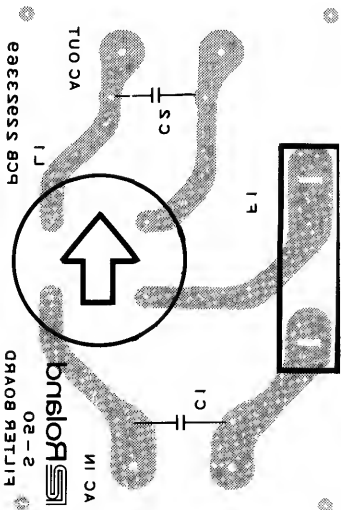
A
B
C
D
E
F
G
H
I
J
K
L
M
N
O
P
Q
R
S
T
U

FILTER BOARD

76171122 00 100/117V
76171124 00 220V
76171125 00 240V
(pcb 22923369 00)

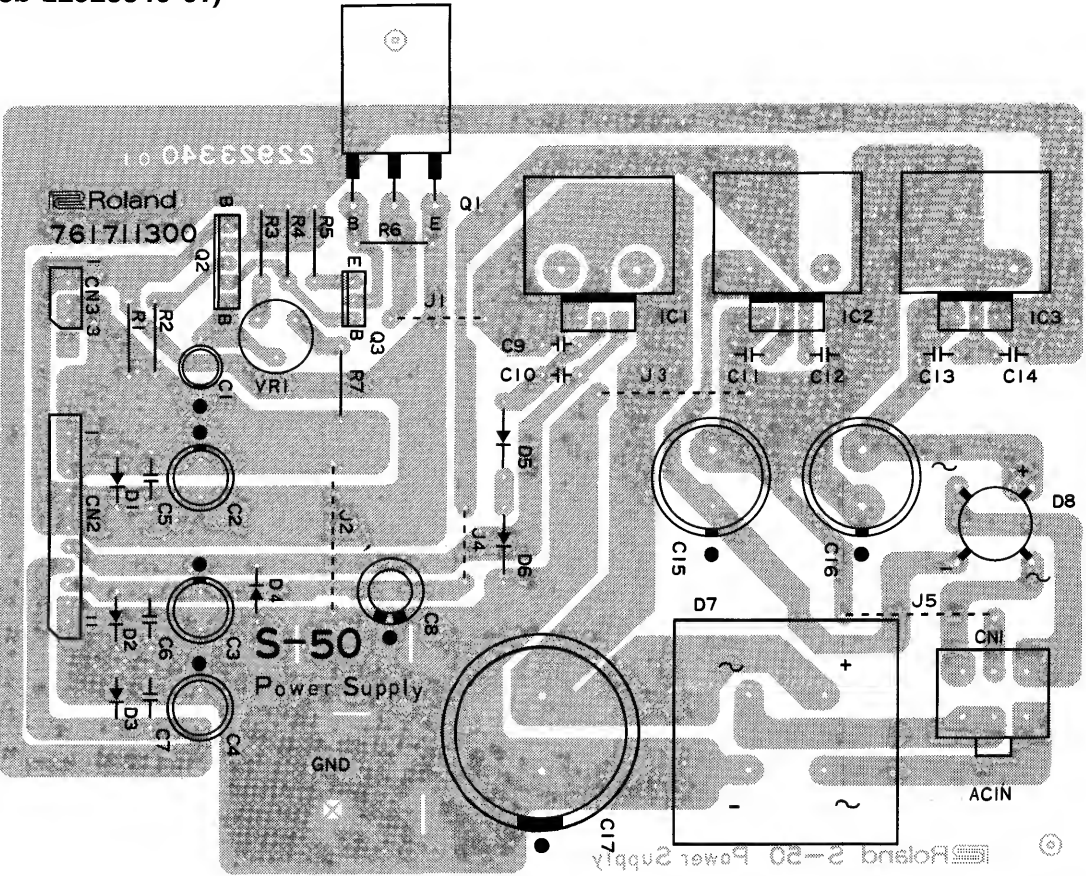


View from component side

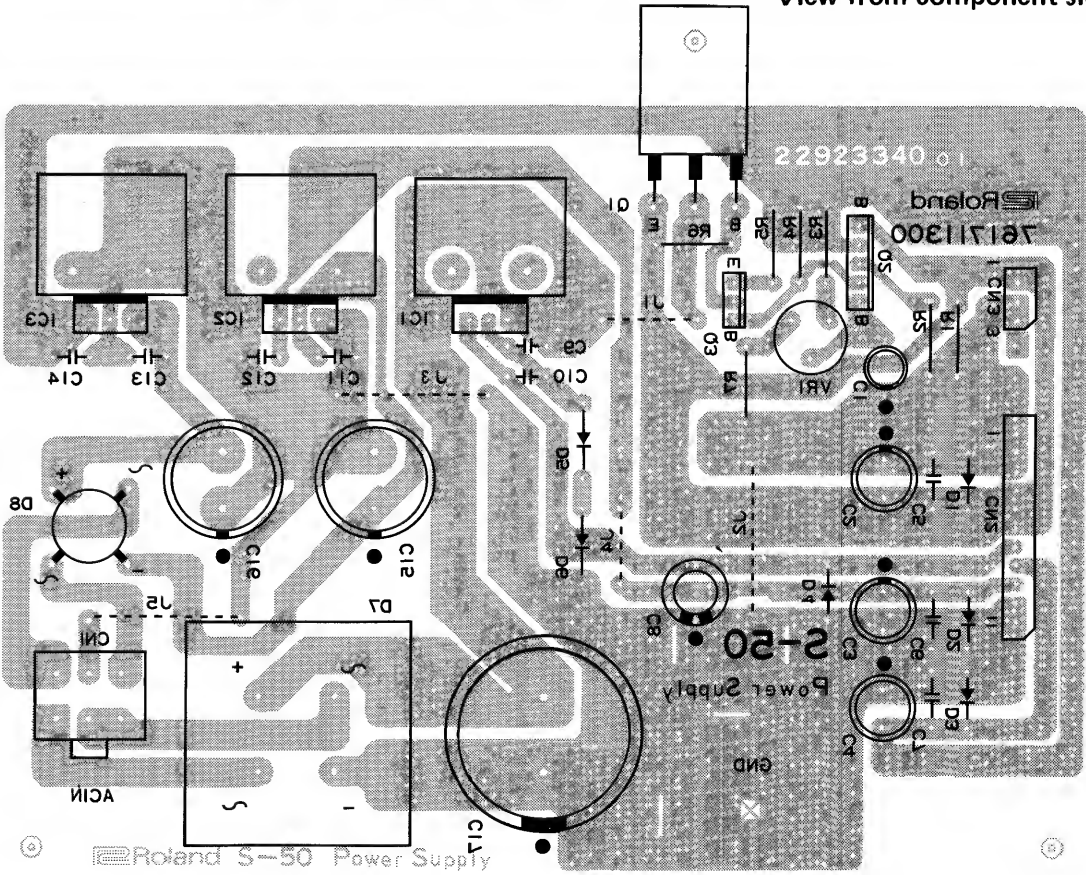


View from foil side

POWER SUPPLY BOARD
76171130 00
(pcb 22923340 01)



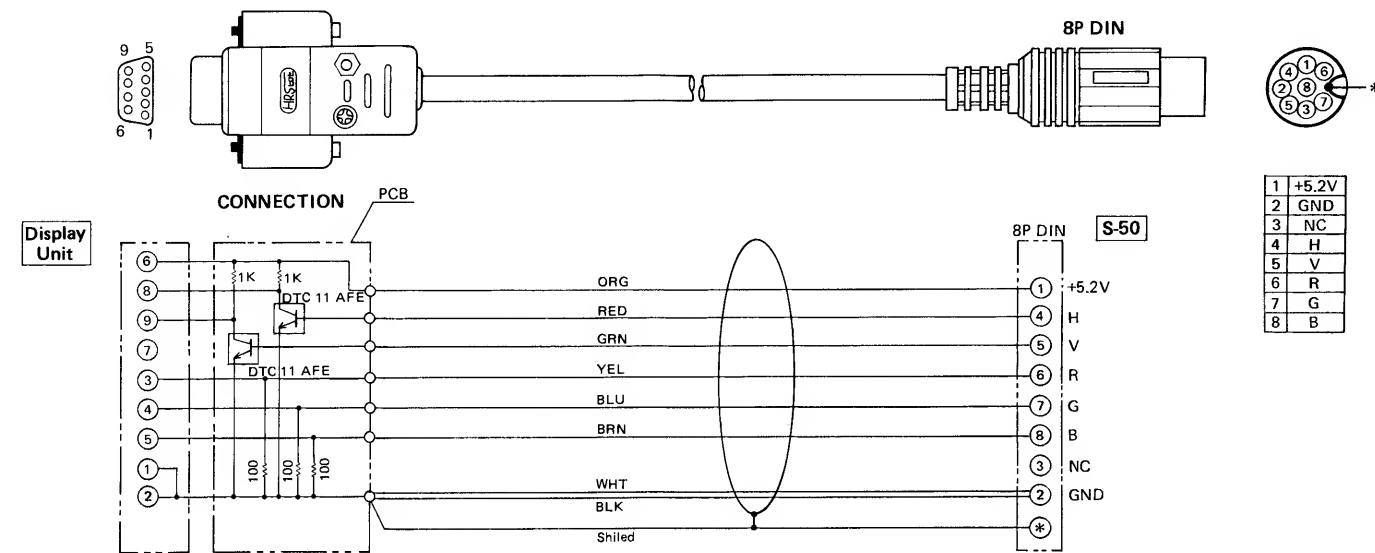
View from component side



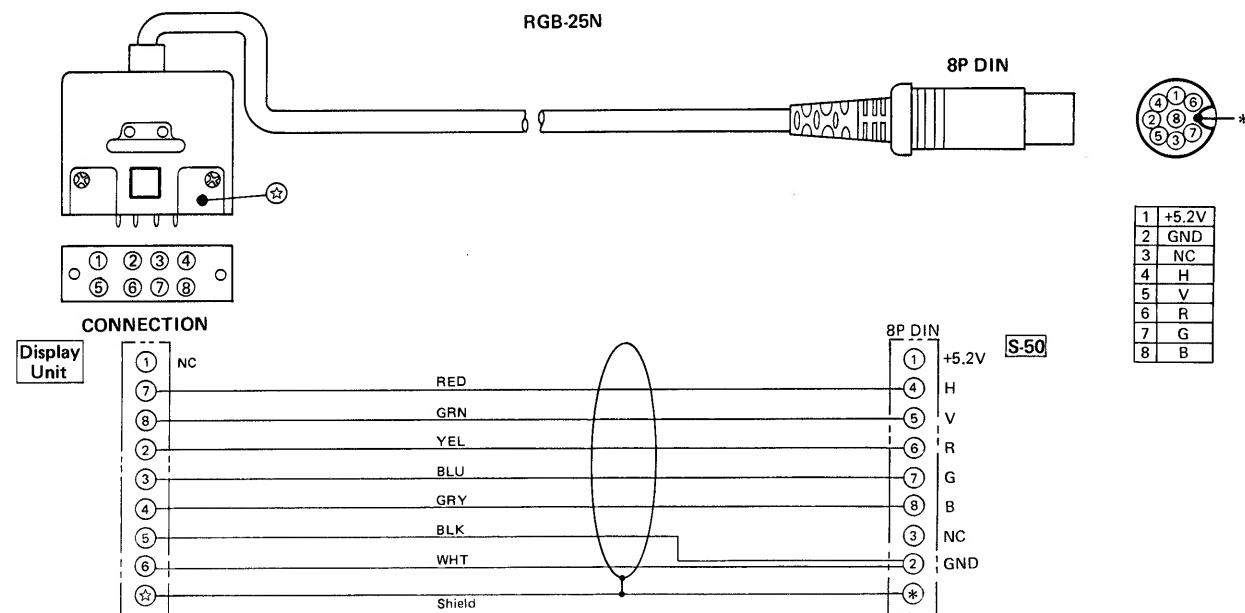
View from foil side

RGB CABLE

RGB-25I

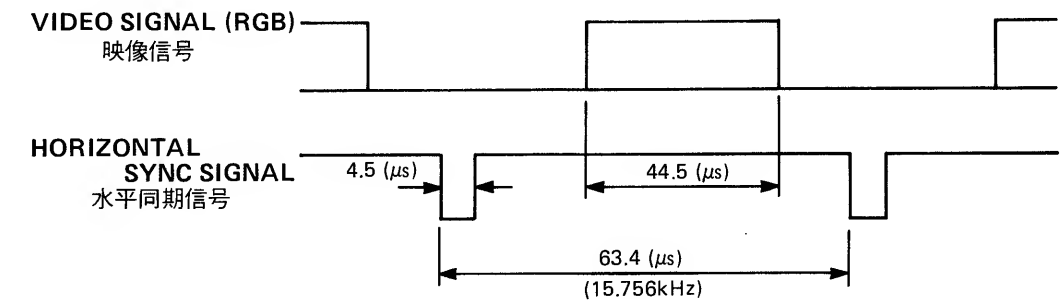
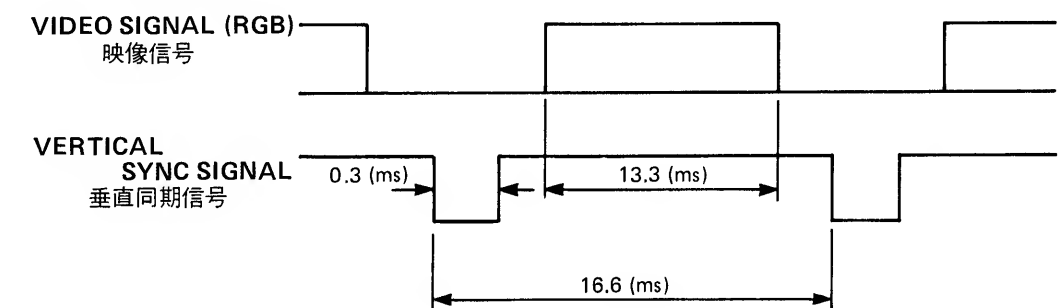


RGB-25N

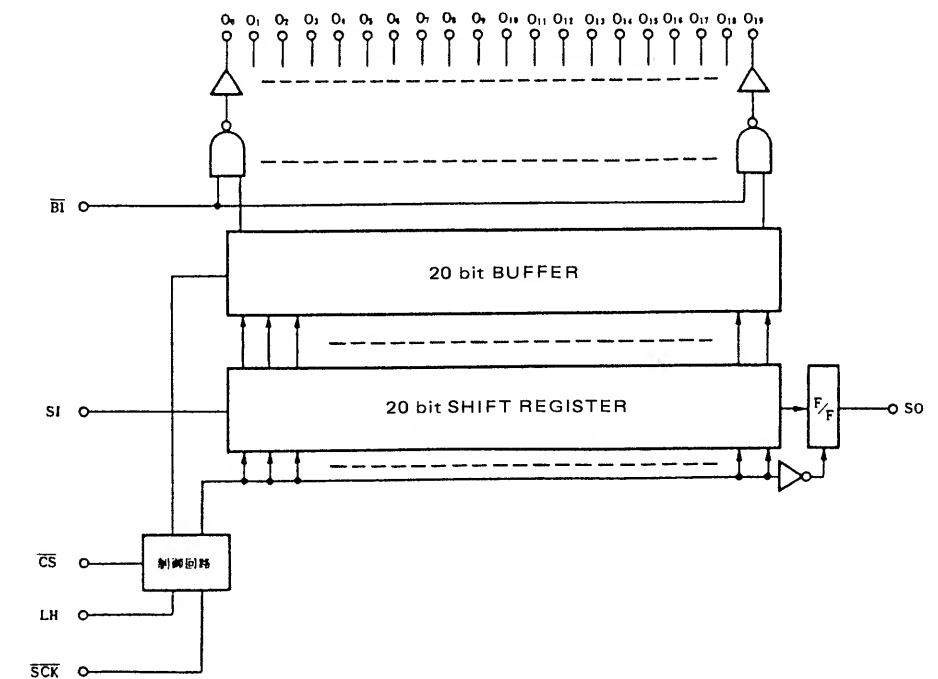
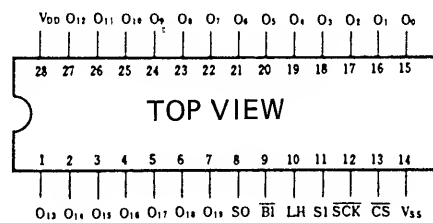


RGB OUT TIMING CHART

RGB出力タイミングチャート

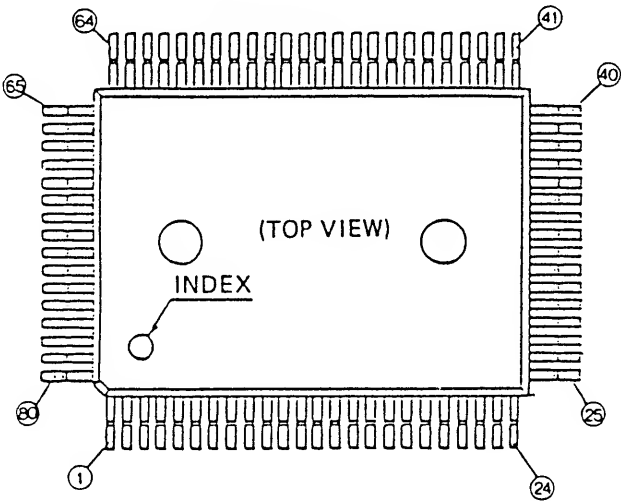
● HORIZONTAL SYNC
水平同期● VERTICAL SYNC
垂直同期

IC DATA

FIP LATCH DRIVER
μPD6300C

GATE ARRAY
MB63H149

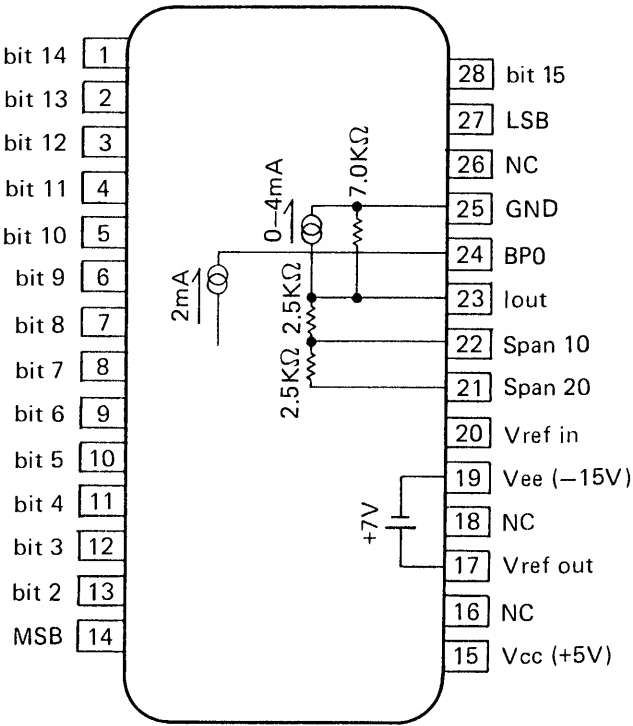
Pin Assignment



Pin no.	I/O	Pin name	Pin no.	I/O	Pin name	Pin no.	I/O	Pin name	Pin no.	I/O	Pin name
1	0	T7	21	1	BR9	41	1/0	CD7	61	0	RA1
2	1	BR0	22	1	MK9	42	1	CA8	62	0	RA10
3	1	MK0	23	1	BR10	43	1	CA9	63	0	RA2
4	1	BR1	24	1	MK10	44	1	CA10	64	1/0	ROE
5	1	MK1	25	1	RES	45	1	CS	65	0	RA3
6	1	BR2	26	1/0	EXCK	46	1	XT1	66	0	RWE
7	1	MK2	27	1	E	47	0	XT2	67	0	RA4
8	1	BR3	28	0	INT	48	0	ASEL	68	0	RA9
9	1	MK3	29	1	AS	49	1	MOD1	69	0	RA5
10	1	BR4	30	0	CRES	50	1	MOD2	70	0	RA8
11	1	MK4	31	1	CRNW	51	1/0	RD3	71	0	RA6
12	-	VSS	32	0	SRCK	52	-	VSS	72	0	RA7
13	1	BR5	33	-	VDD	53	1/0	RD4	73	-	VDD
14	1	MK5	34	1/0	CD0	54	1/0	RD2	74	0	T0
15	1	BR6	35	1/0	CD1	55	1/0	RD5	75	0	T1
16	1	MK6	36	1/0	CD2	56	1/0	RD1	76	0	T2
17	1	BR7	37	1/0	CD3	57	1/0	RD6	77	0	T3
18	1	MK7	38	1/0	CD4	58	1/0	RD0	78	0	T4
19	1	BR8	39	1/0	CD5	59	1/0	RD7	79	0	T5
20	1	MK8	40	1/0	CD6	60	0	RA0	80	0	T6

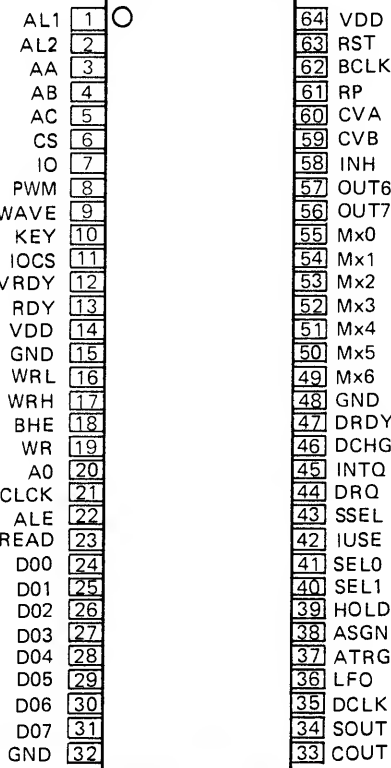
D/A CONVERTER
EHK-MD6209

TOP VIEW

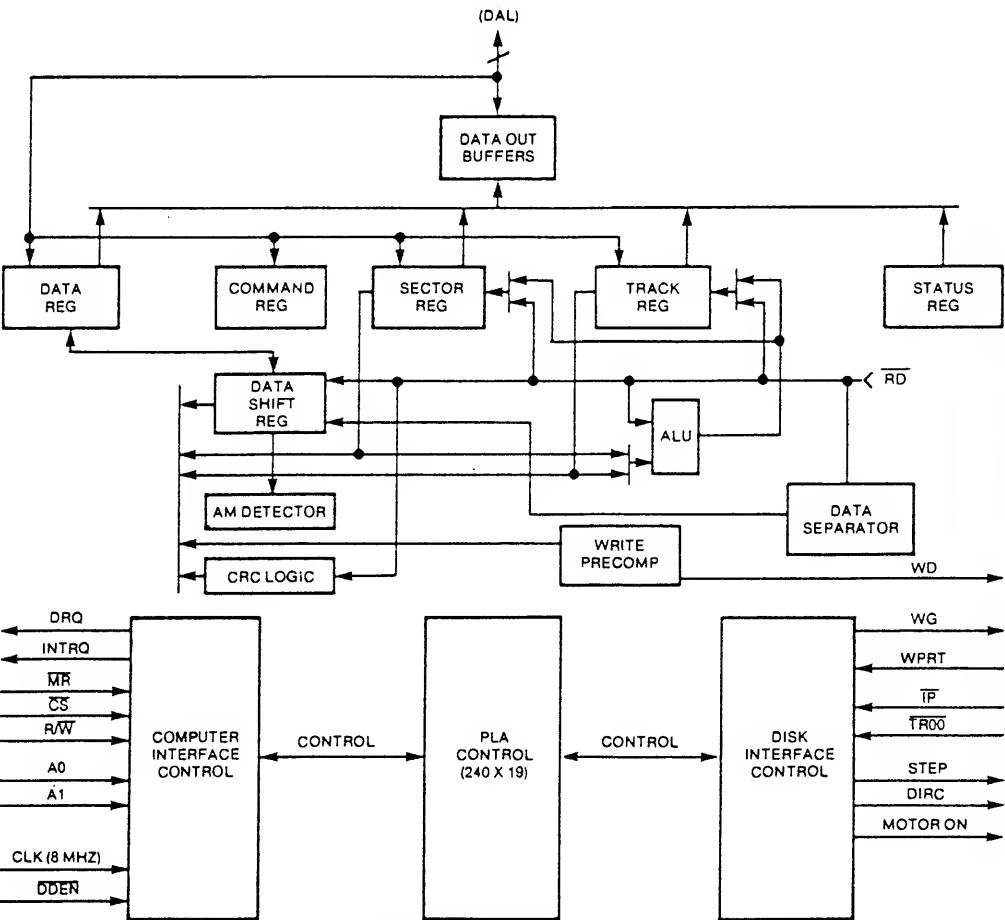
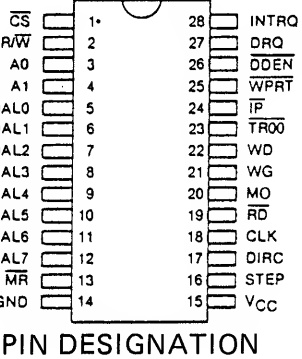


I/O GATE ARRAY
μPD65006-017

TOP VIEW

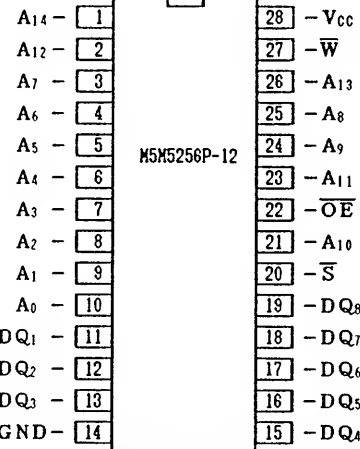


FLOPPY DISK CONTROLLER
WD1770



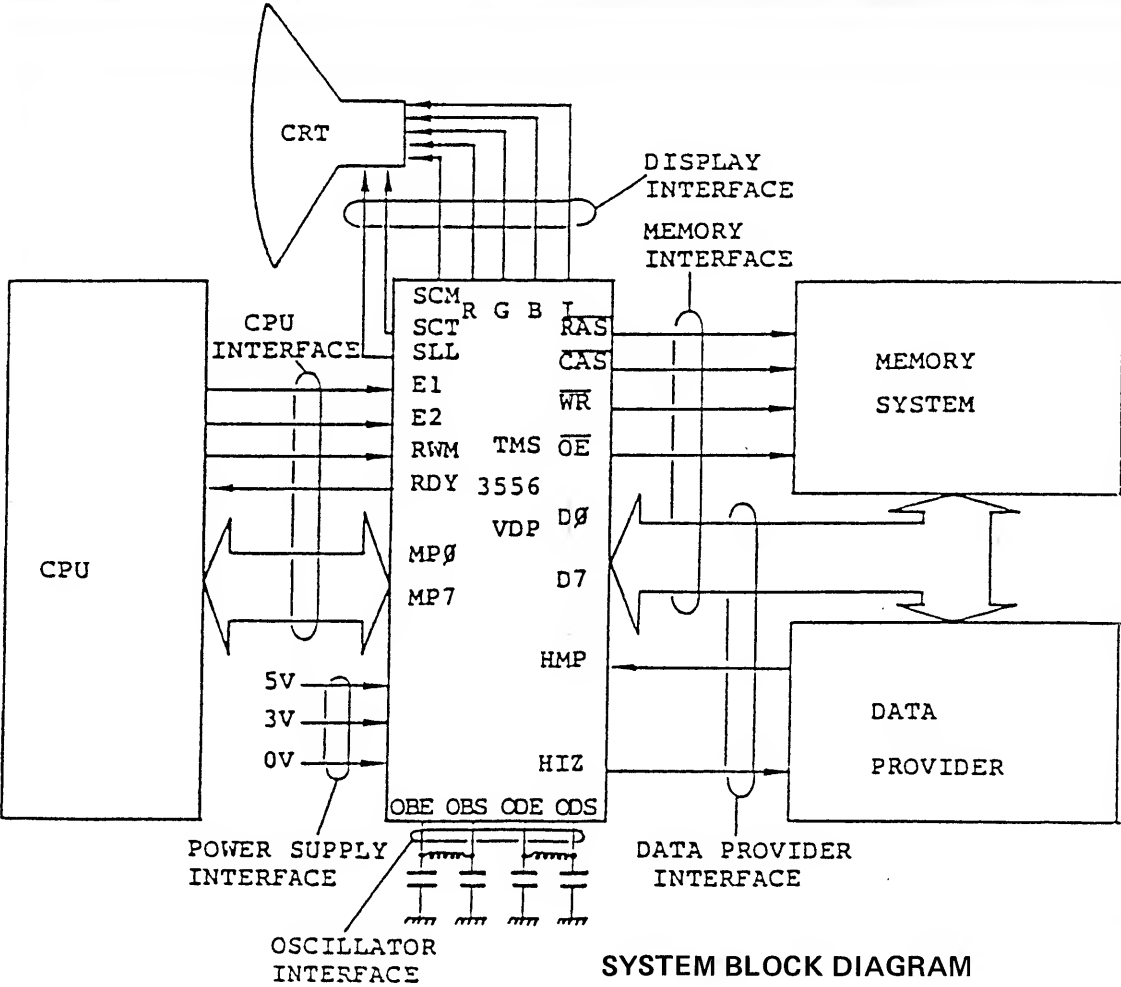
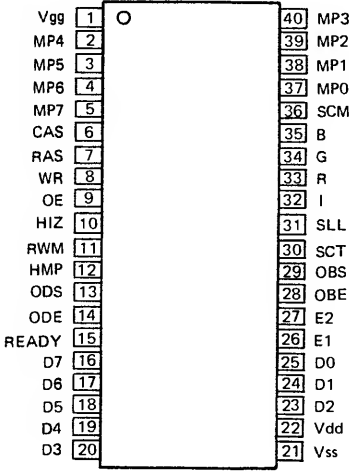
WD1770 BLOCK DIAGRAM

S-RAM
M5M5256P-12



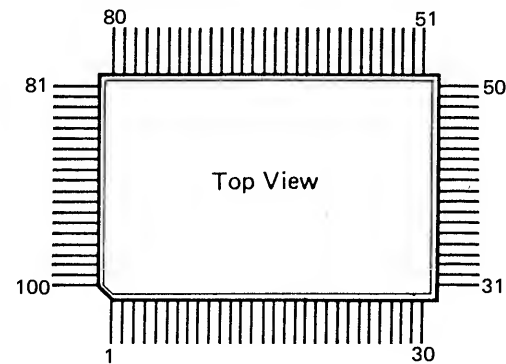
VIDEO DISPLAY PROCESSOR
TMS3556NL

TOP VIEW



SYSTEM BLOCK DIAGRAM

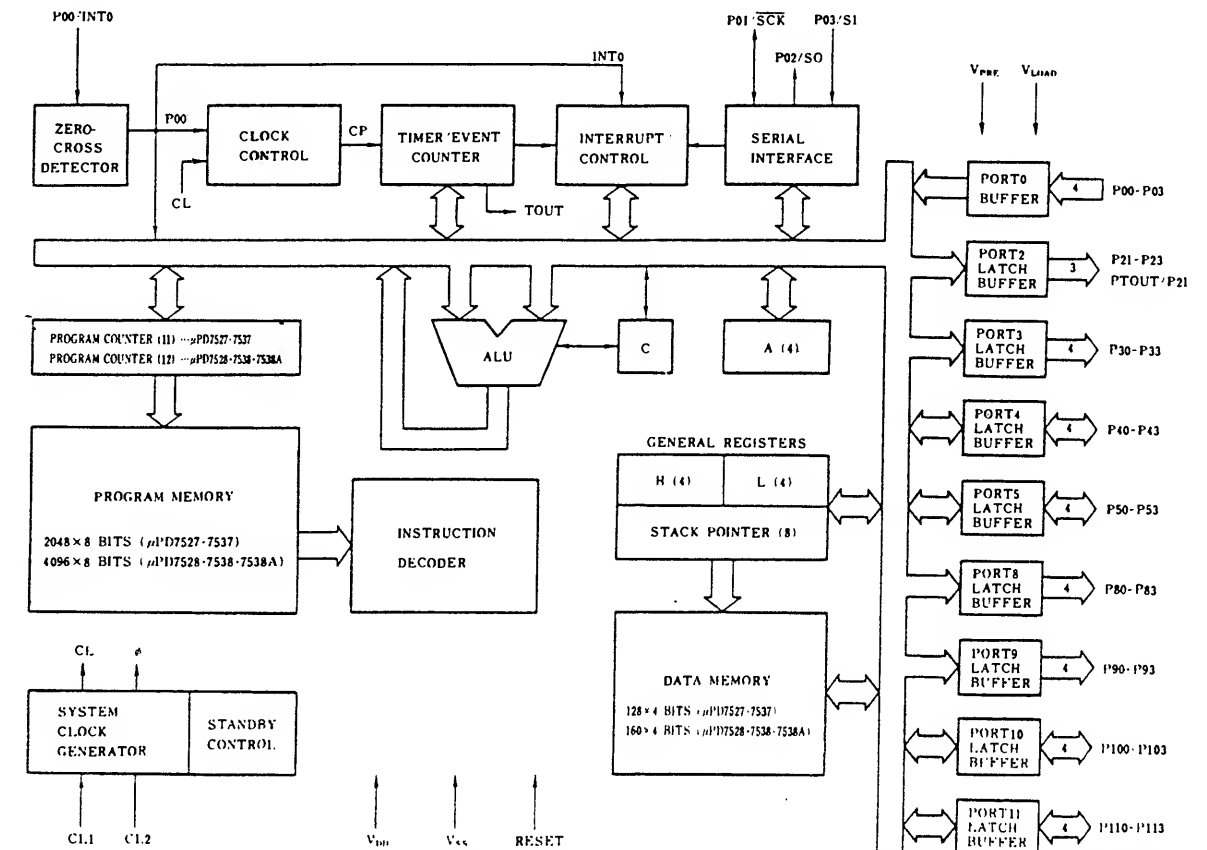
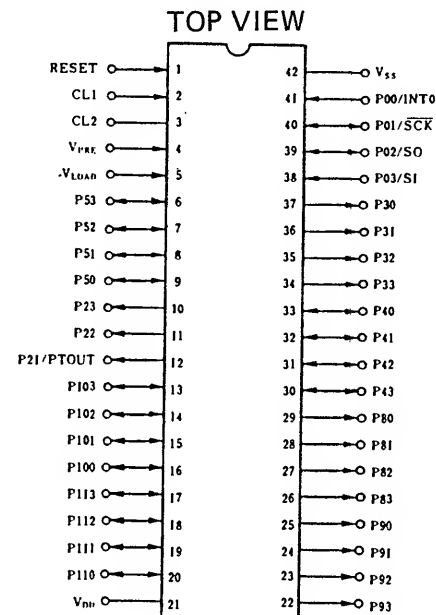
GATE ARRAY RF5C36



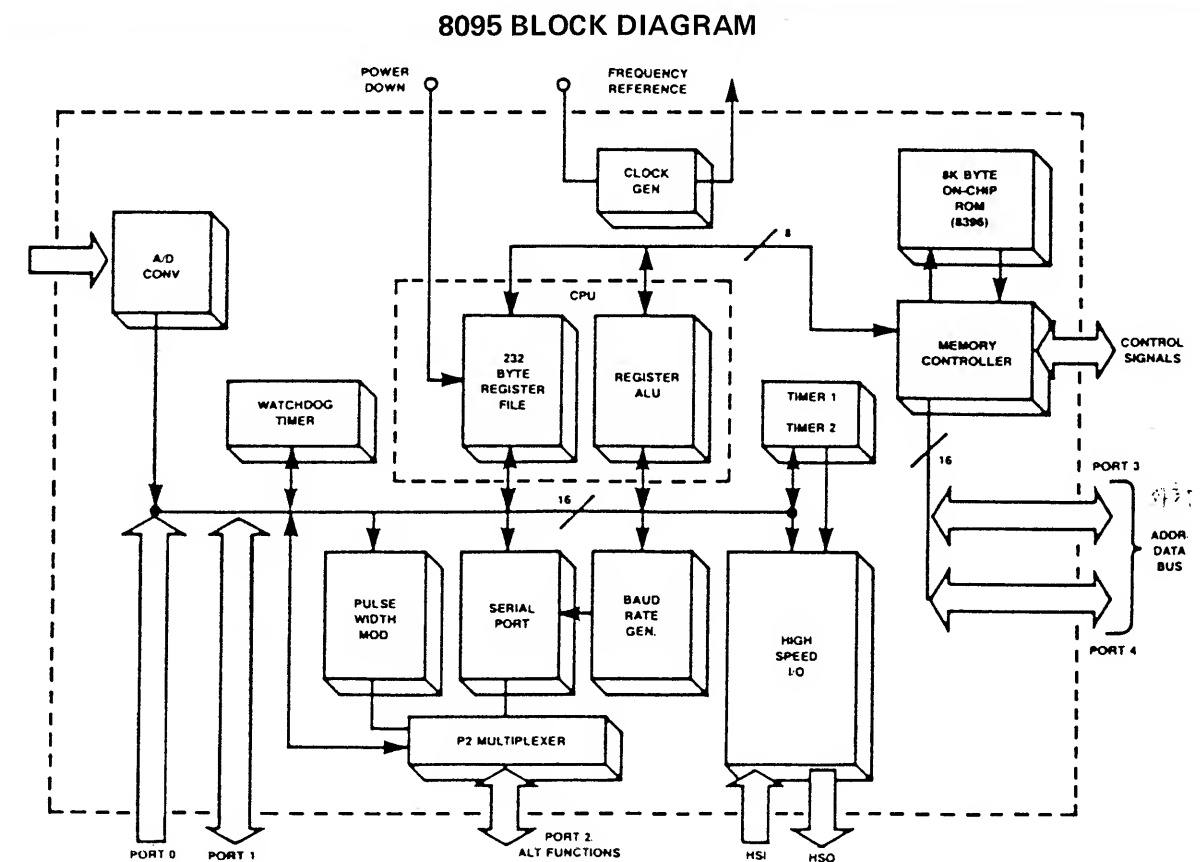
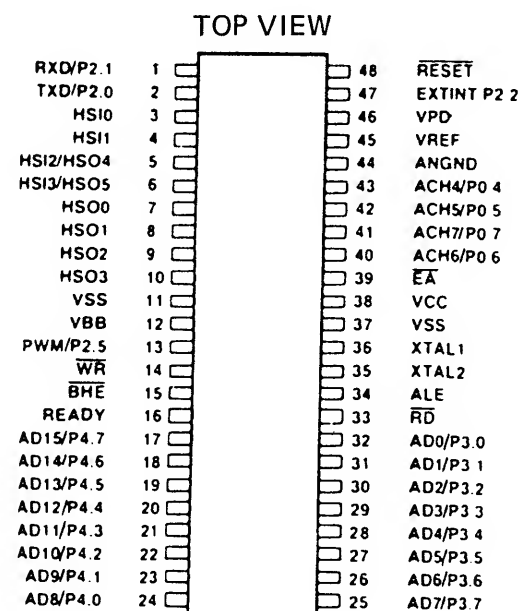
PIN No	PIN NAME	I/O	PIN No	PIN NAME	I/O
1	WTWR	O	51	DA9	O
2	RAS	O	52	DA10	O
3	CAS0	O	53	DA11	O
4	CAS1	O	54	DA12	O
5	CAS2	O	55	DA13	O
6	CAS3	-	56	DA14	O
7	VCC	O	57	DA15	O
8	WTA0	O	58	VCC	-
9	WTA1	O	59	SH	O
10	WTA2	O	60	MXA	O
11	WTA3	O	61	MXB	O
12	WTA4	O	62	MXC	O
13	WTA5	O	63	MXD	O
14	WTA6	O	64	INH	O
15	WTA7	O	65	RST	I
16	WTA8	O (NC)	66	SYNO	O
17	WTA9	O (NC)	67	SYN1	I
18	WTA10	O (NC)	68	TEST2	I
19	WTA11	O (NC)	69	TEST1	I
20	WTA12	O (NC)	70	XTAL1	XIN
21	WTA13	O (NC)	71	XTAL2	XOUT
22	WTA14	O (NC)	72	TESTCK	I
23	WTA15	O (NC)	73	WR	I
24	WTA16	O (NC)	74	RD	I
25	WTA17	O	75	CS	I
26	GND	-	76	A0	I
27	WTD0	I/O	77	A1	I
28	WTD1	I/O	78	A2	I
29	WTD2	I/O	79	A3	I
30	WTD3	I/O	80	GND	-
31	WTD4	I/O	81	VCC	-
32	WTD5	I/O	82	A4	I
33	WTD6	I/O	83	A5	I
34	WTD7	I/O	84	A6	I
35	WTD8	I/O	85	A7	I
36	WTD9	I/O	86	A8	I
37	WTD10	I/O	87	A9	I
38	WTD11	I/O	88	A10	I
39	VCC	-	89	A11	I
40	SARin	I	90	A12	I
41	GND	-	91	DB0	I/O
42	DA0	O	92	DB1	I/O
43	DA1	O	93	DB2	I/O
44	DA2	O	94	DB3	I/O
45	DA3	O	95	DB4	I/O
46	DA4	O	96	DB5	I/O
47	DA5	O	97	DB6	I/O
48	DA6	O	98	DB7	I/O
49	DA7	O	99	INT	O
50	DA8	O	100	GND	-

* XIN, XOUT : crystal
* OUTPUT LOAD CONDITION : CL=100pF

CPU μPD7538



CPU i8095-90



MIDI IMPLEMENTATION

S-50 MIOI IMPLEMENTATION Version 1.00 Aug.25 1986

*** S-50 MIDI IMPLEMENTATION ***

Version 1.00
Aug.25 1986

1. TRANSMITTED DATA

Status	Second	Third	Description	
-----	-----	-----	-----	
1001 nnnn	0kkk kkkk	0000 0000	Note OFF kkkkkkk = 36 - 96	
1001 nnnn	0kkk kkkk	0vvv vvvv	Note ON kkkkkkk = 36 - 96 vvvvvvv = 1 - 127	
1011 nnnn	0000 0001	0vvv vvvv	Modulation vvvvvvv = 0 (OFF) vvvvvvv = 127 (ON)	*1
1011 nnnn	0000 0111	0vvv vvvv	Volume vvvvvvv = 0 - 127	*1
1011 nnnn	0100 0000	0111 1111	Hold1 ON	*1
1011 nnnn	0100 0000	0000 0000	Hold1 OFF	*1
1100 nnnn	0ppp pppp		Program Change ppppppp = 0 - 127	*1,*2
1101 nnnn	0vvv vvvv		Channel After Touch vvvvvvv = 0 - 127	*1
1110 nnnn	0vvv vvvv	0vvv vvvv	Pitch Bend Change	*1
1011 nnnn	0111 1011	0000 0000	ALL NOTES OFF	*3
1011 nnnn	0111 1100	0000 0000	OMNI OFF	*1,*4
1011 nnnn	0111 1111	0000 0000	POLY ON	*1,*4

Notes :

- *1 Transmitted if the corresponding function switch is ON.
- *2 Transmitted when 'Patch Number' is changed. Program number (ppppppp) corresponding to a Patch can be set freely.
- *3 When the 'Patch Number' is changed, this message is sent.
- *4 When power is first applied, these messages are transmitted.

2. RECOGNIZED RECEIVE DATA

Status	Second	Third	Description	
-----	-----	-----	-----	
1000 nnnn	0kkk kkkk	0vvv vvvv	Note OFF, velocity Ignored	
1001 nnnn	0kkk kkkk	0000 0000	Note OFF kkkkkkk = 0 - 127	
1001 nnnn	0kkk kkkk	0vvv vvvv	Note ON kkkkkkk = 0 - 127 vvvvvvv = 1 - 127	
1011 nnnn	0000 0001	0vvv vvvv	Modulation vvvvvvv = 0 - 127	*1
1011 nnnn	0000 0111	0vvv vvvv	Volume vvvvvvv = 0 - 127	*1
1011 nnnn	0100 0000	01xx xxxx	Hold1 ON	*1
1011 nnnn	0100 0000	00xx xxxx	Hold1 OFF	*1
1100 nnnn	0ppp pppp		Program Change ppppppp = 0 - 127	*1,*2
1101 nnnn	0vvv vvvv		Channel After Touch vvvvvvv = 0 - 127	*1
1110 nnnn	0vvv vvvv	0vvv vvvv	Pitch Bend Change	*1
1011 nnnn	0111 1011	0000 0000	ALL NOTES OFF	
1011 nnnn	0111 1100	0000 0000	OMNI OFF	*3
1011 nnnn	0111 1101	0000 0000	OMNI ON	*3
1011 nnnn	0111 1110	000m mmmm	(MONO ON)	*3,*4
1011 nnnn	0111 1111	0000 0000	POLY ON	*3

Notes :

- *1 Received if the corresponding function switch is ON.
- *2 Recognized when appropriate program number corresponding to a Patch is received.
- *3 Mode Messages (123 - 127) are also recognized as ALL NOTES OFF.
- *4 MONO ON message is ignored.

MIDI IMPLEMENTATION CHART

Date : Aug. 25 1986

Model S-50 MIDI Implementation Chart Version : 1.00

MEMO

Function ...		Transmitted	Recognized	Remarks
Basic	Default	1 - 16	1 - 16	*2
Channel	Changed	1 - 16	1 - 16	
Mode	Default	Mode 3	Mode 1, 3	*2
	Messages	*1 Mode 3	POLY, OMNI ON/OFF	
	Altered	*****		MONO ignored
Note		36 - 96	0 - 127	
Number	True voice	*****	0 - 127	
Velocity	Note ON	o	*1	v = 1 - 127
	Note OFF	x 9n v= 0	x	
After	Key's	x	x	
Touch	Ch's	*1	*1	
Pitch Bender		*1	*1 0 - 12 semi	9 bit resolution
Control	1	*1	*1	Modulation
	7	*1	*1	Volume
	64	*1	*1	Hold1
Change				
Prog		*1 0 - 127	*1 0 - 127	*3
Change	True #	*****	0 - 127	
System Exclusive		x	x	
System	Song Pos	x	x	
	Song Sel	x	x	
Common	Tune	x	x	
System	Clock	x	x	
Real Time	Commands	x	x	
Aux	Local ON/OFF	x	x	
	All Notes OFF	o (123)	o (123-127)	
Mes-	Active Sense	x	x	
sages	Reset	x	x	
Notes		*1 Can be set to o or x manually, and memorized by disk.		
		*2 Memorized by disk.		
		*3 Program change numbers for each Patch can be set freely.		

Mode 1 : OMNI ON, POLY Mode 2 : OMNI ON, MONO o : Yes
 Mode 3 : OMNI OFF, POLY Mode 4 : OMNI OFF, MONO x : No